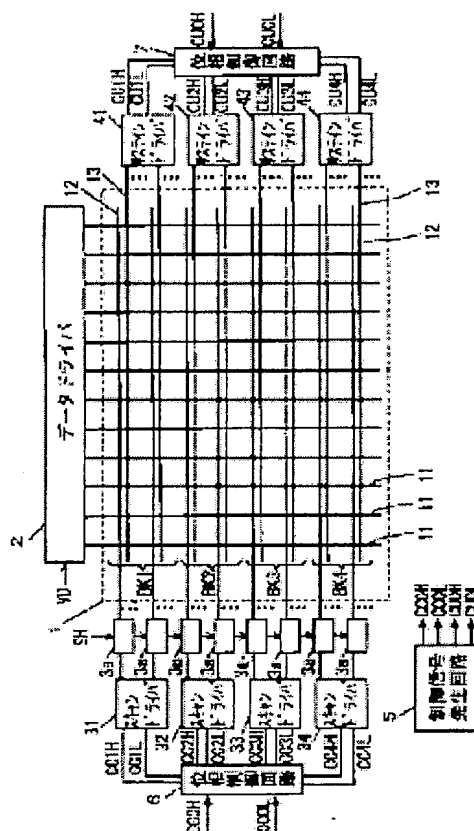


# DISPLAY DEVICE, AND ITS DRIVING CIRCUIT AND DRIVING METHOD

**Patent number:** JP2000284746  
**Publication date:** 2000-10-13  
**Inventor:** KIKO SHIGEO; HASHIGUCHI JUNPEI  
**Applicant:** MATSUSHITA ELECTRIC IND CO LTD.  
**Classification:**  
 - international: G09G3/28  
 - european:  
**Application number:** JP19990093290 19990331  
**Priority number(s):** JP19990093290 19990331

## Abstract of JP2000284746

**PROBLEM TO BE SOLVED:** To provide the display device which has the radiation of an unnecessary electromagnetic wave suppressed and its driving circuit and driving method. **SOLUTION:** A PDP 1 is divided into blocks BK1 to BK4. Scan drivers 31 to 34 are connected to the scan electrodes 12 of the corresponding blocks through scan driver ICs 3a. Sustain drivers 41 to 44 are connected to the sustain electrodes 13 of the corresponding blocks. A phase control circuit 6 controls phase differences of maintaining pulses among the blocks BK1 to BK4 so as to reduce an electromagnetic wave generated with maintaining pulses applied to the scan electrodes at specific frequencies. A phase control circuit 7 controls phase differences of maintaining pulses among the blocks BK1 to BK4 to reduce an electromagnetic wave generated with maintaining pulses applied to multiple sustain electrodes 13 at specific frequencies.



Data supplied from the esp@cenet database - Worldwide

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-284746  
(P2000-284746A)

(43) 公開日 平成12年10月13日 (2000. 10. 13)

(51) Int.Cl.<sup>7</sup>  
G 0 9 G 3/28

識別記号

F I  
G 0 9 G 3/28

テーマコード(参考)  
J 5 C 0 8 0

審査請求 未請求 請求項の数29 O L (全 27 頁)

(21) 出願番号 特願平11-93290

(22) 出願日 平成11年3月31日 (1999. 3. 31)

(71) 出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72) 発明者 木子 茂雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 橋口 淳平

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100098305

弁理士 福島 祥人

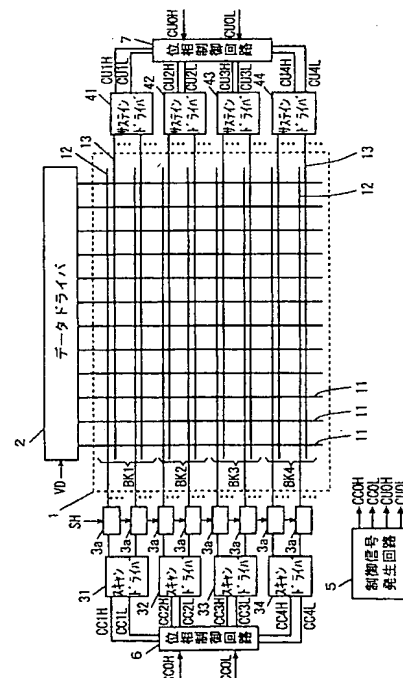
Fターム(参考) 5C080 AA05 BB06 DD12 EE29 FF12  
GG12 HH02 HH04 HH05 JJ02  
JJ03 JJ04 JJ05 JJ06

(54) 【発明の名称】 表示装置、その駆動回路および駆動方法

(57) 【要約】

【課題】 不要な電磁波の輻射が抑制された表示装置、その駆動回路および駆動方法を提供することである。

【解決手段】 PDP1は複数のブロックBK1～BK4に区分される。複数のスキャンドライバ31～34は複数のスキャンドライバIC3aを介して対応するブロックのスキャン電極12に接続される。複数のサステインドライバ41～44は対応するブロックのサステイン電極13に接続される。位相制御回路6はスキャン電極12に印加される維持パルスにより発生する電磁波が所定の周波数で低減されるようにブロックBK1～BK4間での維持パルスの位相差を制御する。位相制御回路7は複数のサステイン電極13に印加される維持パルスにより発生する電磁波が所定の周波数で低減されるようにブロックBK1～BK4間での維持パルスの位相差を制御する。



## 【特許請求の範囲】

【請求項1】 第1の方向に配列された複数の第1の電極と、

前記第1の方向と交差する第2の方向に配列された複数の第2の電極と、

前記複数の第2の電極とそれぞれ対になるように前記第2の方向に配列された複数の第3の電極と、

前記複数の第1の電極、前記複数の第2の電極および前記複数の第3の電極の交点に設けられた複数の放電セルと、

画像データに応じて該当する第1の電極に第1のパルス電圧を印加する第1の電圧印加手段と、

前記複数の第2の電極に第2のパルス電圧を印加する第2の電圧印加手段と、

前記複数の第3の電極に第3のパルス電圧を印加する第3の電圧印加手段と、

所定の周波数の電磁波が低減されるように前記複数の第2の電極に印加される前記第2のパルス電圧および前記複数の第3の電極に印加される前記第3のパルス電圧のうち少なくともいずれか一方の位相を制御する位相制御手段とを備えたことを特徴とする表示装置。

【請求項2】 前記複数の第2の電極は複数のグループに区分され、

前記第2の電圧印加手段は、前記複数のグループに対応して設けられかつ各々に対応するグループの前記第2の電極に前記第2のパルス電圧を印加する複数の第2の電圧印加回路を含み、

前記位相制御手段は、前記第2のパルス電圧により発生される所定の周波数の電磁波が低減されるように前記複数の第2の電圧印加回路により前記複数の第2の電極に印加される前記第2のパルス電圧に前記複数のグループ間で位相差を与える第1の位相制御回路を含むことを特徴とする請求項1記載の表示装置。

【請求項3】 前記複数の第3の電極は複数のグループに区分され、

前記第3の電圧印加手段は、前記複数のグループに対応して設けられかつ各々に対応するグループの前記第3の電極に前記第3のパルス電圧を印加する複数の第3の電圧印加回路を含み、

前記位相制御手段は、前記第3のパルス電圧により発生される所定の周波数の電磁波が低減されるように前記複数の第3の電圧印加回路により前記複数の第3の電極に印加される前記第3のパルス電圧に前記複数のグループ間で位相差を与える第2の位相制御回路を含むことを特徴とする請求項1または2記載の表示装置。

【請求項4】 前記第2のパルス電圧により発生される電磁波を検出する第1の電磁波検出手段をさらに備え、前記第1の位相制御回路は、前記第1の電磁波検出手段により検出された電磁波に基づいて前記複数のグループ間での前記第2のパルス電圧の位相差を制御することを

特徴とする請求項2記載の表示装置。

【請求項5】 前記第3のパルス電圧により発生される電磁波を検出する第2の電磁波検出手段を備え、

前記第2の位相制御回路は、前記第2の電磁波検出手段により検出された電磁波に基づいて前記複数のグループ間での前記第3のパルス電圧の位相差を制御することを特徴とする請求項3記載の表示装置。

【請求項6】 前記第1の位相制御回路により与えられる位相差を所定期間において順次変化させる第1の位相差走査手段と、

前記所定期間において前記第1の電磁波検出手段により検出された電磁波のレベルが最小となる位相差を記憶する第1の記憶手段とをさらに備え、

前記第1の位相制御回路は、前記所定期間後に、前記複数のグループ間での前記第2のパルス電圧の位相差を前記記憶手段に記憶された位相差に設定することを特徴とする請求項4記載の表示装置。

【請求項7】 前記第2の位相制御回路により与えられる位相差を所定期間において順次変化させる第2の位相差走査手段と、

前記所定期間において前記第2の電磁波検出手段により検出された電磁波のレベルが最小となる位相差を記憶する第2の記憶手段とをさらに備え、

前記第2の位相制御回路は、前記所定期間後に、前記複数のグループ間での前記第3のパルス電圧の位相差を前記記憶手段に記憶された位相差に設定することを特徴とする請求項5記載の表示装置。

【請求項8】 前記第1の電磁波検出手段は、隣接するグループ間にそれぞれ配置された1または複数の電磁波検出器を含むことを特徴とする請求項4または6記載の表示装置。

【請求項9】 前記第2の電磁波検出手段は、隣接するグループ間にそれぞれ配置された1または複数の電磁波検出器を含むことを特徴とする請求項5または7記載の表示装置。

【請求項10】 前記電磁波検出器はコイルを含むことを特徴とする請求項8または9記載の表示装置。

【請求項11】 前記複数のグループ間での前記第2のパルス電圧の位相差を検出する第1の位相差検出手段をさらに備え、

前記第1の位相制御回路は、前記第1の位相差検出手段により検出された位相差に基づいて前記複数のグループ間での前記第2のパルス電圧の位相差を制御することを特徴とする請求項2記載の表示装置。

【請求項12】 前記複数のグループ間での前記第3のパルス電圧の位相差を検出する第2の位相差検出手段をさらに備え、

前記第2の位相制御回路は、前記第2の位相差検出手段により検出された位相差に基づいて前記複数のグループ間での前記第3のパルス電圧の位相差を制御することを

特徴とする請求項 3 記載の表示装置。

【請求項 13】 前記第 1 の位相差検出手段は、前記第 2 のパルス電圧により発生される電磁波に基づいて前記複数のグループ間での前記第 2 のパルス電圧の位相差を検出することを特徴とする請求項 11 記載の表示装置。

【請求項 14】 前記第 2 の位相差検出手段は、前記第 3 のパルス電圧により発生される電磁波に基づいて前記複数のグループ間での前記第 3 のパルス電圧の位相差を検出することを特徴とする請求項 12 記載の表示装置。

【請求項 15】 前記第 1 の位相差検出手段は、前記複数の第 2 の電圧印加回路の電圧または電流に基づいて位相差を検出することを特徴とする請求項 11 記載の表示装置。

【請求項 16】 前記第 2 の位相差検出手段は、前記複数の第 3 の電圧印加回路の電圧または電流に基づいて位相差を検出することを特徴とする請求項 12 記載の表示装置。

【請求項 17】 前記複数の第 2 の電極および前記複数の第 3 の電極のうち少なくともいずれか一方が前記複数のグループに非等分割されたことを特徴とする請求項 2 ～ 16 のいずれかに記載の表示装置。

【請求項 18】 前記複数のグループの数は 3 であり、3 個のグループに属する前記第 2 または第 3 の電極の本数の比は、1 : 2 : 1 であることを特徴とする請求項 17 記載の表示装置。

【請求項 19】 前記複数のグループの数は 4 であり、4 個のグループに属する前記第 2 または第 3 の電極の本数の比は、1 : 2 : 2 : 1 であることを特徴とする請求項 17 記載の表示装置。

【請求項 20】 前記複数のグループの数は 6 であり、6 個のグループに属する前記第 2 または第 3 の電極の本数の比は、1 : 2 : 3 : 3 : 2 : 1 であることを特徴とする請求項 17 記載の表示装置。

【請求項 21】 前記複数のグループの数は 8 であり、8 個のグループに属する前記第 2 または第 3 の電極の本数の比は、1 : 2 : 3 : 4 : 4 : 3 : 2 : 1 であることを特徴とする請求項 17 記載の表示装置。

【請求項 22】 前記複数の第 2 の電圧印加回路の各々は、複数の駆動用集積回路を含むことを特徴とする請求項 2、4、6、8、11、13 または 15 記載の表示装置。

【請求項 23】 前記第 2 のパルス電圧は、書き込み期間に前記複数の第 2 の電極に印加される書き込みパルスおよび放電維持期間に前記複数の第 2 の電極に印加される第 1 の維持パルスを含み、  
前記第 3 のパルス電圧は、前記放電維持期間に前記複数の第 3 の電極に印加される第 2 の維持パルスを含み、  
前記位相制御手段は、前記第 1 の維持パルスおよび前記第 2 の維持パルスのうち少なくともいずれか一方の位相を制御することを特徴とする請求項 1 ～ 22 のいずれか

に記載の表示装置。

【請求項 24】 前記位相制御手段は、前記第 2 のパルス電圧または前記第 3 のパルス電圧のエッジの位相を制御することを特徴とする請求項 1 ～ 23 のいずれかに記載の表示装置。

【請求項 25】 前記位相制御手段は、前記第 2 のパルス電圧または前記第 3 のパルス電圧の立ち上がり部分および立ち下がり部分の少なくとも一方の位相を制御することを特徴とする請求項 1 ～ 24 のいずれかに記載の表示装置。

【請求項 26】 第 1 の方向に配列された複数の第 1 の電極と、前記第 1 の方向と交差する第 2 の方向に配列された複数の第 2 の電極と、前記複数の第 2 の電極とそれぞれ対になるように前記第 2 の方向に配列された複数の第 3 の電極と、前記複数の第 1 の電極、前記複数の第 2 の電極および前記複数の第 3 の電極の交点に設けられた複数の放電セルとを備えた表示装置に用いられる駆動回路であって、

画像データに応じて該当する第 1 の電極に第 1 のパルス電圧を印加する第 1 の電圧印加手段と、

前記複数の第 2 の電極に第 2 のパルス電圧を印加する第 2 の電圧印加手段と、

前記複数の第 3 の電極に第 3 のパルス電圧を印加する第 3 の電圧印加手段と、

所定の周波数の電磁波が低減されるように前記複数の第 2 の電極に印加される前記第 2 のパルス電圧および前記複数の第 3 の電極に印加される前記第 3 のパルス電圧のうち少なくともいずれか一方の位相を制御する位相制御手段とを備えたことを特徴とする駆動回路。

【請求項 27】 前記複数の第 2 の電極は複数のグループに区分され、

前記第 2 の電圧印加手段は、前記複数のグループに対応して設けられかつ各々に対応するグループの前記第 2 の電極に前記第 2 のパルス電圧を印加する複数の第 2 の電圧印加回路を含み、

前記位相制御手段は、前記第 2 のパルス電圧により発生される所定の周波数の電磁波が低減されるように前記複数の第 2 の電圧印加回路により前記複数の第 2 の電極に印加される前記第 2 のパルス電圧に前記複数のグループ間で位相差を与える第 1 の位相制御回路を含むことを特徴とする請求項 26 記載の駆動回路。

【請求項 28】 前記複数の第 3 の電極は複数のグループに区分され、

前記第 3 の電圧印加手段は、前記複数のグループに対応して設けられかつ各々に対応するグループの前記第 3 の電極に前記第 3 のパルス電圧を印加する複数の第 3 の電圧印加回路を含み、

前記位相制御手段は、前記第 3 のパルス電圧により発生される所定の周波数の電磁波が低減されるように前記複数の第 3 の電圧印加回路により前記複数の第 3 の電極に

印加される前記第3のバース電圧に前記複数のグループ間で位相差を与える第2の位相制御回路を含むことを特徴とする請求項26または27記載の駆動回路。

【請求項29】 第1の方向に配列された複数の第1の電極と、前記第1の方向と交差する第2の方向に配列された複数の第2の電極と、前記複数の第2の電極とそれぞれ対になるように前記第2の方向に配列された複数の第3の電極と、前記複数の第1の電極、前記複数の第2の電極および前記複数の第3の電極の交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であつて、

画像データに応じて該当する第1の電極に第1のバース電圧を印加するとともに、前記複数の第2の電極に第2のバース電圧を印加し、前記複数の第3の電極に第3のバース電圧を印加し、所定の周波数の電磁波が低減されるように前記複数の第2の電極に印加される前記第2のバース電圧および前記複数の第3の電極に印加される前記第3のバース電圧のうち少なくともいずれか一方の位相を制御することを特徴とする駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、放電を制御することにより画像を表示する表示装置、その駆動回路および駆動方法に関する。

【0002】

【従来の技術】PDP（プラズマディスプレイパネル）を用いたプラズマディスプレイ装置は、薄型化および大画面化が可能であるという利点を有する。このプラズマディスプレイ装置では、ガス放電の際の発光を利用することにより画像を表示している。

【0003】図29はAC型PDPにおける3電極面放電セルの模式的断面図である。図29に示す放電セル100においては、表面ガラス基板101上に対になるスキャン電極12およびサステイン電極13が水平方向に形成され、それらのスキャン電極12およびサステイン電極13は透明誘電体層102および保護層103で覆われている。

【0004】一方、表面ガラス基板101に対向する裏面ガラス基板104上には、アドレス電極11が垂直方向に形成されている。アドレス電極11上には、透明誘電体層105が形成されている。透明誘電体層105上には蛍光体106が塗布されている。

【0005】この放電セル100では、書き込み期間にアドレス電極11とスキャン電極12との間に書き込みパルスを印加することによりアドレス電極11とスキャン電極12との間でアドレス放電が発生した後、維持期間においてスキャン電極12とサステイン電極13との間に交互に反転する周期的な維持パルスを印加することによりスキャン電極12とサステイン電極13との間で維持放電が行われる。

【0006】図30は従来のプラズマディスプレイ装置の構成を示すブロック図である。図30のプラズマディスプレイ装置は、PDP（プラズマディスプレイパネル）1、データドライバ2、スキャンドライバ3、複数のスキャンドライバIC（集積回路）3aおよびサステインドライバ4を含む。

【0007】PDP1は、複数のアドレス電極（データ電極）11、複数のスキャン電極（走査電極）12および複数のサステイン電極（維持電極）13を含む。複数のアドレス電極11は画面の垂直方向に配列され、複数のスキャン電極12および複数のサステイン電極13は画面の水平方向に配列されている。複数のサステイン電極13は共通に接続されている。

【0008】アドレス電極11、スキャン電極12およびサステイン電極13の各交点に図28に示した放電セルが形成され、各放電セルが画面上の画素を構成する。

【0009】データドライバ2は、PDP1の複数のアドレス電極11に接続されている。複数のスキャンドライバIC3aはスキャンドライバ3に接続されている。各スキャンドライバIC3aには、PDP1の複数のスキャン電極12が接続されている。サステインドライバ4は、PDP1の複数のサステイン電極13に接続されている。

【0010】データドライバ2は、書き込み期間において、画像データに応じてPDP1の該当するアドレス電極11に書き込みパルスを印加する。複数のスキャンドライバIC3aは、スキャンドライバ3により駆動され、書き込み期間において、シフトパルスSHを垂直走査方向にシフトしつつPDP1の複数のスキャン電極12に書き込みパルスを順に印加する。それにより、該当する放電セルにおいてアドレス放電が行われる。

【0011】また、複数のスキャンドライバIC3aは、維持期間において、周期的な維持パルスをPDP1の複数のスキャン電極12に印加する。一方、サステインドライバ4は、維持期間において、PDP1の複数のサステイン電極13にスキャン電極12の維持パルスに対して180°位相のずれた維持パルスを同時に印加する。それにより、該当する放電セルにおいて維持放電が行われる。

【0012】

【発明が解決しようとする課題】図31は図30のPDP1におけるスキャン電極12およびサステイン電極13の駆動電圧の一例を示すタイミング図である。

【0013】初期化および書き込み期間には、複数のスキャン電極12に初期セットアップパルスPsetが同時に印加される。その後、複数のスキャン電極12に書き込みパルスPwが順に印加される。これにより、PDP1の該当する放電セルにおいてアドレス放電が起こる。

【0014】次に、維持期間において、複数のスキャン

電極12に維持パルス $P_{sc}$ が周期的に印加され、複数のサステイン電極13に維持パルス $P_{su}$ が周期的に印加される。維持パルス $P_{su}$ の位相は、維持パルス $P_{sc}$ の位相に対して $180^\circ$ ずれている。これにより、アドレス放電に続いて維持放電が起こる。

【0015】図32は図30のサステインドライバ4の構成を示す回路図である。図32に示すようにサステインドライバ4は、電力回収回路400およびスイッチSW11、SW12を含む。電力回収回路400の出力端子はノードN5に接続されている。スイッチSW11は電源端子V4とノードN5との間に接続され、スイッチSW12はノードN5と接地端子との間に接続されている。電源端子V4には電圧 $V_{sus}$ が印加される。ノードN5は例えば480本のサステイン電極13に接続されている。図32においては、複数のサステイン電極13と接地端子との間の全容量に相当するパネル容量 $C_p$ が示されている。

【0016】電力回収回路400は、回収コンデンサC1、回収コイルL1、スイッチSW21、SW22およびダイオードD1、D2を含む。回収コンデンサC1はノードN8と接地端子との間に接続されている。ノードN8とノードN9との間にスイッチSW21およびダイオードD1が直列に接続され、ノードN9とノードN8との間にダイオードD2およびスイッチSW22が直列に接続されている。回収コイルL1はノードN9とノードN5との間に接続されている。

【0017】図33は図32のサステインドライバ4の動作を示すタイミング図である。図33には、図32のノードN5の電圧およびスイッチSW21、SW11、SW22、SW12の動作が示される。

【0018】維持期間において、期間TaにスイッチSW21がオンし、スイッチSW12がオフする。このとき、スイッチSW11、SW22はオフしている。それにより、回収コイルL1およびパネル容量 $C_p$ によるLC共振により、ノードN5の電圧が緩やかに上昇する。その後、期間Tbにおいて、スイッチSW21がオフし、スイッチSW11がオンする。それにより、ノードN5の電圧が急激に上昇し、期間TcではノードN5の電圧が $V_{sus}$ に固定される。

【0019】期間Tdでは、スイッチSW11がオフし、スイッチSW22がオンする。それにより、回収コイルL1およびパネル容量 $C_p$ によるLC共振により、ノードN5の電圧が緩やかに下降する。その後、期間Teにおいて、スイッチSW22がオフし、スイッチSW12がオンする。それにより、ノードN5の電圧が急激に下降し、接地電位に固定される。

【0020】この動作を維持期間において繰り返し行うことにより、複数のサステイン電極13に周期的な維持パルス $P_{su}$ が印加される。

【0021】このように、維持パルス $P_{su}$ の立ち上が

り部分および立ち下がり部分は、電力回収回路400の動作による期間Ta、TdのLC共振部と、スイッチSW11またはスイッチSW12のオン動作による期間Tb、Teのエッジ部とで構成されている。

【0022】図31の維持パルス $P_{sc}$ も、サステインドライバ4と同様の動作により、複数のスキャン電極12に周期的に印加される。

【0023】上記のように、従来のプラズマディスプレイ装置では、維持期間に周期的な維持パルス $P_{sc}$ が複数のスキャン電極12に同時に印加され、周期的な維持パルス $P_{su}$ が複数のサステイン電極13に同時に印加されるので、不要な電磁波の放射が起こる。この不要な電磁波の放射は、特に、図33におけるスイッチSW11、SW12のオン動作による維持パルス $P_{su}$ のエッジ部（期間Tbおよび期間Te）により発生している。スキャン電極12に印加される維持パルス $P_{sc}$ についても、同様にエッジ部により不要な電磁波の放射が発生している。

【0024】不要な電磁波の放射は、他の電子機器に電磁的な悪影響を及ぼすおそれがあるため、このような不要な電磁波の放射を抑制することが望まれる。

【0025】一方、維持パルス $P_{su}$ のエッジ部および維持パルス $P_{sc}$ のエッジ部が不要な電磁波の放射源になっているため、エッジ部を十分になまらせることにより不要な電磁波の放射を抑制することが可能である。

【0026】しかしながら、維持パルス $P_{su}$ 、 $P_{sc}$ のエッジ部は、維持放電発光特性を大きく左右する部分であり、エッジ部をなまらせると維持放電発光特性を悪化させることになる。そのため、維持パルス $P_{su}$ 、 $P_{sc}$ のエッジ部を十分になまらせることはできない。

【0027】したがって、維持パルス $P_{su}$ 、 $P_{sc}$ のエッジ部より放射される電磁波成分のうち高周波領域（例えば50MHz以上）を抑制することは可能であっても、低周波領域（例えば30MHz～50MHz）を抑制することは困難である。

【0028】本発明の目的は、不要な電磁波の放射が抑制された表示装置、その駆動回路および駆動方法を提供することである。

【0029】

【課題を解決するための手段】（1）第1の発明

第1の発明に係る表示装置は、第1の方向に配列された複数の第1の電極と、第1の方向と交差する第2の方向に配列された複数の第2の電極と、複数の第2の電極とそれぞれ対になるように第2の方向に配列された複数の第3の電極と、複数の第1の電極、複数の第2の電極および複数の第3の電極の交点に設けられた複数の放電セルと、画像データに応じて該当する第1の電極に第1のパルス電圧を印加する第1の電圧印加手段と、複数の第2の電極に第2のパルス電圧を印加する第2の電圧印加手段と、複数の第3の電極に第3のパルス電圧を印加す

る第3の電圧印加手段と、所定の周波数の電磁波が低減されるように複数の第2の電極に印加される第2のパルス電圧および複数の第3の電極に印加される第3のパルス電圧のうち少なくともいずれか一方の位相を制御する位相制御手段とを備えたものである。

【0030】本発明に係る表示装置においては、画像データに応じて該当する第1の電極に第1のパルス電圧が印加されるとともに複数の第2の電極に第2のパルス電圧が印加されることにより、該当する放電セルにおいてアドレス放電が起こる。その後、複数の第2の電極に第2のパルス電圧が印加されるとともに複数の第3の電極に第3のパルス電圧が印加されることにより、該当する放電セルにおいてアドレス放電に引き続いて維持放電が起こる。この場合、複数の第2の電極に印加される第2のパルス電圧および複数の第3の電極に印加される第3のパルス電圧のうち少なくともいずれか一方の位相が制御されることにより、所定の周波数の電磁波が低減される。したがって、不要な電磁波の輻射が抑制される。

【0031】(2) 第2の発明

第2の発明に係る表示装置は、第1の発明に係る表示装置の構成において、複数の第2の電極は複数のグループに区分され、第2の電圧印加手段は、複数のグループに対応して設けられかつ各々が対応するグループの第2の電極に第2のパルス電圧を印加する複数の第2の電圧印加回路を含み、位相制御手段は、第2のパルス電圧により発生される所定の周波数の電磁波が低減されるように複数の第2の電圧印加回路により複数の第2の電極に印加される第2のパルス電圧に複数のグループ間で位相差を与える第1の位相制御回路を含むものである。

【0032】この場合、複数の第2の電極に印加される第2のパルス電圧に複数のグループ間で位相差が与えられることにより、第2のパルス電圧により発生される所定の周波数の電磁波が低減される。したがって、第2のパルス電圧により発生される不要な電磁波の輻射が抑制される。

【0033】(3) 第3の発明

第3の発明に係る表示装置は、第1または第2の発明に係る表示装置の構成において、複数の第3の電極は複数のグループに区分され、第3の電圧印加手段は、複数のグループに対応して設けられかつ各々が対応するグループの第3の電極に第3のパルス電圧を印加する複数の第3の電圧印加回路を含み、位相制御手段は、第3のパルス電圧により発生される所定の周波数の電磁波が低減されるように複数の第3の電圧印加回路により複数の第3の電極に印加される第3のパルス電圧に複数のグループ間で位相差を与える第2の位相制御回路を含むものである。

【0034】この場合、複数の第3の電極に印加される第3のパルス電圧に複数のグループ間で位相差が与えられることにより、第3のパルス電圧により発生される所

定の周波数の電磁波が低減される。したがって、第3のパルス電圧により発生される不要な電磁波の輻射が抑制される。

【0035】(4) 第4の発明

第4の発明に係る表示装置は、第2の発明に係る表示装置の構成において、第2のパルス電圧により発生される電磁波を検出する第1の電磁波検出手段をさらに備え、第1の位相制御回路は、第1の電磁波検出手段により検出された電磁波に基づいて複数のグループ間での第2のパルス電圧の位相差を制御するものである。

【0036】この場合、第2のパルス電圧により発生される電磁波が検出され、検出された電磁波に基づいて複数のグループ間での第2のパルス電圧の位相差が制御される。それにより、第2のパルス電圧により発生される所定の周波数の電磁波を確実に低減させることが可能となる。

【0037】(5) 第5の発明

第5の発明に係る表示装置は、第3の発明に係る表示装置の構成において、第3のパルス電圧により発生される電磁波を検出する第2の電磁波検出手段を備え、第2の位相制御回路は、第2の電磁波検出手段により検出された電磁波に基づいて複数のグループ間での第3のパルス電圧の位相差を制御するものである。

【0038】この場合、第3のパルス電圧により発生される電磁波が検出され、検出された電磁波に基づいて複数のグループ間での第3のパルス電圧の位相差が制御される。それにより、第3のパルス電圧により発生される所定の周波数の電磁波を確実に低減させることが可能となる。

【0039】(6) 第6の発明

第6の発明に係る表示装置は、第4の発明に係る表示装置の構成において、第1の位相制御回路により与えられる位相差を所定期間において順次変化させる第1の位相差走査手段と、所定期間において第1の電磁波検出手段により検出された電磁波のレベルが最小となる位相差を記憶する第1の記憶手段とをさらに備え、第1の位相制御回路は、所定期間後に、複数のグループ間での第2のパルス電圧の位相差を記憶手段に記憶された位相差に設定するものである。

【0040】この場合、所定期間において、複数のグループ間での第2のパルス電圧の位相差が順次変化し、検出される電磁波のレベルが最小となる位相差が記憶される。そして、所定期間後に、複数のグループ間での第2のパルス電圧の位相差が記憶された位相差に設定される。このようにして、電磁波のレベルが最小となるように複数のグループ間での第2のパルス電圧の位相差が設定されるので、第2のパルス電圧により発生される所定の周波数の電磁波を効果的に低減させることが可能となる。

【0041】(7) 第7の発明



第7の発明に係る表示装置は、第5の発明に係る表示装置の構成において、第2の位相制御回路により与えられる位相差を所定期間において順次変化させる第2の位相差走査手段と、所定期間において第2の電磁波検出手段により検出された電磁波のレベルが最小となる位相差を記憶する第2の記憶手段とをさらに備え、第2の位相制御回路は、所定期間後に、複数のグループ間での第3のパルス電圧の位相差を記憶手段に記憶された位相差に設定するものである。

【0042】この場合、所定期間において、複数のグループ間での第3のパルス電圧の位相差が順次変化し、検出される電磁波のレベルが最小となる位相差が記憶される。そして、所定期間後に、複数のグループ間での第3のパルス電圧の位相差が記憶された位相差に設定される。このようにして、電磁波のレベルが最小となるように複数のグループ間での第3のパルス電圧の位相差が設定されるので、第3のパルス電圧により発生される所定の周波数の電磁波を効果的に低減させることが可能となる。

【0043】(8) 第8の発明

第8の発明に係る表示装置は、第4または第6の発明に係る表示装置の構成において、第1の電磁波検出手段は、隣接するグループ間にそれぞれ配置された1または複数の電磁波検出器を含むものである。

【0044】この場合、電磁波検出器により隣接するグループ間において第2のパルス電圧により発生される電磁波を検出することができる。

【0045】(9) 第9の発明

第9の発明に係る表示装置は、第5または第7の発明に係る表示装置の構成において、第2の電磁波検出手段は、隣接するグループ間にそれぞれ配置された1または複数の電磁波検出器を含むものである。

【0046】この場合、電磁波検出器により隣接するグループ間において第3のパルス電圧により発生される電磁波を検出することができる。

【0047】(10) 第10の発明

第10の発明に係る表示装置は、第8または第9の発明に係る表示装置の構成において、電磁波検出器はコイルを含むものである。

【0048】この場合、電磁波における磁界の変化率に比例する電流がコイルに流れる。その電流に基づいて電磁波のレベルを検出することが可能となる。

【0049】(11) 第11の発明

第11の発明に係る表示装置は、第2の発明に係る表示装置の構成において、複数のグループ間での第2のパルス電圧の位相差を検出する第1の位相差検出手段をさらに備え、第1の位相制御回路は、第1の位相差検出手段により検出された位相差に基づいて複数のグループ間での第2のパルス電圧の位相差を制御するものである。

【0050】この場合、複数のグループ間での第2のパ

ルス電圧の位相差が検出され、検出された位相差に基づいて複数のグループ間での第2のパルス電圧の位相差が制御される。したがって、第2のパルス電圧により発生される所定の周波数の電磁波が低減されるように複数のグループ間での第2のパルス電圧の位相差を正確に制御することが可能となる。

【0051】(12) 第12の発明

第12の発明に係る表示装置は、第3の発明に係る表示装置の構成において、複数のグループ間での第3のパルス電圧の位相差を検出する第2の位相差検出手段をさらに備え、第2の位相制御回路は、第2の位相差検出手段により検出された位相差に基づいて複数のグループ間での第3のパルス電圧の位相差を制御するものである。

【0052】この場合、複数のグループ間での第3のパルス電圧の位相差が検出され、検出された位相差に基づいて複数のグループ間での第3のパルス電圧の位相差が制御される。したがって、第3のパルス電圧により発生される所定の周波数の電磁波が低減されるように複数のグループ間での第3のパルス電圧の位相差を正確に制御することが可能となる。

【0053】(13) 第13の発明

第13の発明に係る表示装置は、第11の発明に係る表示装置の構成において、第1の位相差検出手段は、第2のパルス電圧により発生される電磁波に基づいて複数のグループ間での第2のパルス電圧の位相差を検出するものである。

【0054】この場合、第2のパルス電圧により発生される電磁波に基づいて複数のグループ間での第2のパルス電圧の位相差を検出することができる。

【0055】(14) 第14の発明

第14の発明に係る表示装置は、第12の発明に係る表示装置の構成において、第2の位相差検出手段は、第3のパルス電圧により発生される電磁波に基づいて複数のグループ間での第3のパルス電圧の位相差を検出するものである。

【0056】この場合、第3のパルス電圧により発生される電磁波に基づいて複数のグループ間での第3のパルス電圧の位相差を検出することができる。

【0057】(15) 第15の発明

第15の発明に係る表示装置は、第11の発明に係る表示装置の構成において、第1の位相差検出手段は、複数の第2の電圧印加回路の電圧または電流に基づいて位相差を検出するものである。

【0058】この場合、複数の第2の電圧印加回路の電圧差または電流差に基づいて複数のグループ間での第2のパルス電圧の位相差を検出することができる。

【0059】(16) 第16の発明

第16の発明に係る表示装置は、第12の発明に係る表示装置の構成において、第2の位相差検出手段は、複数の第3の電圧印加回路の電圧または電流に基づいて位相

差を検出するものである。

【0060】この場合、複数の第3の電圧印加回路の電圧差または電流差に基づいて複数のグループ間での第3のパルス電圧の位相差を検出することができる。

【0061】(17)第17の発明

第17の発明に係る表示装置は、第2～第16のいずれかの発明に係る表示装置の構成において、複数の第2の電極および複数の第3の電極のうち少なくともいずれか一方が複数のグループに非等分割されたものである。この場合、広い周波数帯域で大きな電磁波抑制効果が得られる。

【0062】(18)第18の発明

第18の発明に係る表示装置は、第17の発明に係る表示装置の構成において、複数のグループの数は3であり、3個のグループに属する第2または第3の電極の本数の比は、1:2:1であるものである。この場合、広い周波数帯域で大きな電磁波抑制効果が得られる。

【0063】(19)第19の発明

第19の発明に係る表示装置は、第17の発明に係る表示装置の構成において、複数のグループの数は4であり、4個のグループに属する第2または第3の電極の本数の比は、1:2:2:1であるものである。この場合、広い周波数帯域で大きな電磁波抑制効果が得られる。

【0064】(20)第20の発明

第20の発明に係る表示装置は、第17の発明に係る表示装置の構成において、複数のグループの数は6であり、6個のグループに属する第2または第3の電極の本数の比は、1:2:3:3:2:1であるものである。この場合、広い周波数帯域で大きな電磁波抑制効果が得られる。

【0065】(21)第21の発明

第21の発明に係る表示装置は、第17の発明に係る表示装置の構成において、複数のグループの数は8であり、8個のグループに属する第2または第3の電極の本数の比は、1:2:3:4:4:3:2:1であるものである。この場合、広い周波数帯域で大きな電磁波抑制効果が得られる。

【0066】(22)第22の発明

第22の発明に係る表示装置は、第2、第4、第6、第8、第11、第13または第15の発明に係る表示装置の構成において、複数の第2の電圧印加回路の各々は、複数の駆動用集積回路を含むものである。

【0067】この場合、駆動用集積回路の単位で複数の第2の電極が複数のグループに区分される。

【0068】(23)第23の発明

第23の発明に係る表示装置は、第1～第22のいずれかの発明に係る表示装置の構成において、第2のパルス電圧は、書き込み期間に複数の第2の電極に印加される書き込みパルスおよび放電維持期間に複数の第2の電極

に印加される第1の維持パルスを含み、第3のパルス電圧は、放電維持期間に複数の第3の電極に印加される第2の維持パルスを含み、位相制御手段は、第1の維持パルスおよび第2の維持パルスのうち少なくともいずれか一方の位相を制御するものである。

【0069】この場合、放電維持期間に第1の維持パルスおよび第2の維持パルスのうち少なくともいずれか一方の位相差が制御される。このように、放電維持期間に第1の維持パルスおよび第2の維持パルスのうち少なくともいずれか一方の位相差を制御することにより、位相制御手段の回路構成および配線が簡単になる。

【0070】(24)第24の発明

第24の発明に係る表示装置は、第1～第23のいずれかの発明に係る表示装置の構成において、位相制御手段は、第2のパルス電圧または第3のパルス電圧のエッジの位相を制御するものである。

【0071】この場合、第2のパルス電圧または第3のパルス電圧のエッジの位相が制御される。特に、第2のパルス電圧および第3のパルス電圧のエッジのみの位相を制御する場合には、位相制御手段の回路構成および配線が簡単になる。

【0072】(25)第25の発明

第25の発明に係る表示装置は、第1～第24のいずれかの発明に係る表示装置の構成において、位相制御手段は、第2のパルス電圧または第3のパルス電圧の立ち上がり部分および立ち下がり部分の少なくとも一方の位相を制御するものである。

【0073】この場合、第2のパルス電圧または第3のパルス電圧の立ち上がり部分および立ち下がり部分の少なくとも一方の位相が制御される。特に、第2のパルス電圧または第3のパルス電圧の立ち上がり部分および立ち下がり部分の一方のみの位相を制御する場合には、位相制御手段の回路構成および配線が簡単になる。

【0074】(26)第26の発明

第26の発明に係る駆動回路は、第1の方向に配列された複数の第1の電極と、第1の方向と交差する第2の方向に配列された複数の第2の電極と、複数の第2の電極とそれぞれ対になるように第2の方向に配列された複数の第3の電極と、複数の第1の電極、複数の第2の電極および複数の第3の電極の交点に設けられた複数の放電セルとを備えた表示装置に用いられる駆動回路であって、画像データに応じて該当する第1の電極に第1のパルス電圧を印加する第1の電圧印加手段と、複数の第2の電極に第2のパルス電圧を印加する第2の電圧印加手段と、複数の第3の電極に第3のパルス電圧を印加する第3の電圧印加手段と、所定の周波数の電磁波が低減されるように複数の第2の電極に印加される第2のパルス電圧および複数の第3の電極に印加される第3のパルス電圧のうち少なくともいずれか一方の位相を制御する位相制御手段とを備えたものである。

【0075】本発明に係る駆動回路においては、画像データに応じて該当する第1の電極に第1のパルス電圧が印加されるとともに複数の第2の電極に第2のパルス電圧が印加されることにより、該当する放電セルにおいてアドレス放電が起こる。その後、複数の第2の電極に第2のパルス電圧が印加されるとともに複数の第3の電極に第3のパルス電圧が印加されることにより、該当する放電セルにおいてアドレス放電に引き続いて維持放電が起こる。この場合、複数の第2の電極に印加される第2のパルス電圧および複数の第3の電極に印加される第3のパルス電圧のうち少なくともいずれか一方の位相が制御されることにより、所定の周波数の電磁波が低減される。したがって、不要な電磁波の輻射が抑制される。

【0076】(27)第27の発明

第27の発明に係る駆動回路は、第26の発明に係る駆動回路の構成において、複数の第2の電極は複数のグループに区分され、第2の電圧印加手段は、複数のグループに対応して設けられかつ各々が対応するグループの第2の電極に第2のパルス電圧を印加する複数の第2の電圧印加回路を含み、位相制御手段は、第2のパルス電圧により発生される所定の周波数の電磁波が低減されるように複数の第2の電圧印加回路により複数の第2の電極に印加される第2のパルス電圧に複数のグループ間で位相差を与える第1の位相制御回路を含むものである。

【0077】この場合、複数の第2の電極に印加される第2のパルス電圧に複数のグループ間で位相差が与えられることにより、第2のパルス電圧により発生される所定の周波数の電磁波が低減される。したがって、第2のパルス電圧により発生される不要な電磁波の輻射が抑制される。

【0078】(28)第28の発明

第28の発明に係る駆動回路は、第26または第27の発明に係る駆動回路の構成において、複数の第3の電極は複数のグループに区分され、第3の電圧印加手段は、複数のグループに対応して設けられかつ各々が対応するグループの第3の電極に第3のパルス電圧を印加する複数の第3の電圧印加回路を含み、位相制御手段は、第3のパルス電圧により発生される所定の周波数の電磁波が低減されるように複数の第3の電圧印加回路により複数の第3の電極に印加される第3のパルス電圧に複数のグループ間で位相差を与える第2の位相制御回路を含むものである。

【0079】この場合、複数の第3の電極に印加される第3のパルス電圧に複数のグループ間で位相差が与えられることにより、第3のパルス電圧により発生される所定の周波数の電磁波が低減される。したがって、第3のパルス電圧により発生される不要な電磁波の輻射が抑制される。

【0080】(29)第29の発明

第29の発明に係る駆動方法は、第1の方向に配列され

た複数の第1の電極と、第1の方向と交差する第2の方向に配列された複数の第2の電極と、複数の第2の電極とそれぞれ対になるように第2の方向に配列された複数の第3の電極と、複数の第1の電極、複数の第2の電極および複数の第3の電極の交点に設けられた複数の放電セルとを備えた表示装置の駆動方法であって、画像データに応じて該当する第1の電極に第1のパルス電圧を印加するとともに、複数の第2の電極に第2のパルス電圧を印加し、複数の第3の電極に第3のパルス電圧を印加し、所定の周波数の電磁波が低減されるように複数の第2の電極に印加される第2のパルス電圧および複数の第3の電極に印加される第3のパルス電圧のうち少なくともいずれか一方の位相を制御するものである。

【0081】本発明に係る駆動方法においては、画像データに応じて該当する第1の電極に第1のパルス電圧が印加されるとともに複数の第2の電極に第2のパルス電圧が印加されることにより、該当する放電セルにおいてアドレス放電が起こる。その後、複数の第2の電極に第2のパルス電圧が印加されるとともに複数の第3の電極に第3のパルス電圧が印加されることにより、該当する放電セルにおいてアドレス放電に引き続いて維持放電が起こる。この場合、複数の第2の電極に印加される第2のパルス電圧および複数の第3の電極に印加される第3のパルス電圧のうち少なくともいずれか一方の位相が制御されることにより、所定の周波数の電磁波が低減される。したがって、不要な電磁波の輻射が抑制される。

【0082】

【発明の実施の形態】以下、本発明に係る表示装置の一例としてプラズマディスプレイ装置について説明する。

【0083】図1は本発明の一実施例によるプラズマディスプレイ装置の構成を示すブロック図である。

【0084】図1のプラズマディスプレイ装置は、PDP（プラズマディスプレイパネル）1、データドライバ2、4個のスキンドライバ31、32、33、34、8個のスキンドライバ1C（集積回路）3a、4個のサステインドライバ41、42、43、44、制御信号発生回路5および位相制御回路6、7を含む。

【0085】PDP1は、複数のアドレス電極（データ電極）11、複数のスキャン電極（走査電極）12および複数のサステイン電極（維持電極）13を含む。複数のアドレス電極11は画面の垂直方向に配列され、複数のスキャン電極12および複数のサステイン電極13は画面の水平方向に配列されている。

【0086】アドレス電極11、スキャン電極12およびサステイン電極13の各交点に図28に示した放電セルが形成され、各放電セルが画面上の画素を構成する。

【0087】PDP1は4個のブロックBK1、BK2、BK3、BK4に区分されている。本実施例では、ブロックBK1～BK4の各々が、128本のスキャン電極12および128本のサステイン電極13を含む。

【0088】データドライバ2は、PDP1の複数のアドレス電極11に接続されている。4個のスキンドライバ31～34は位相制御回路6に接続されている。また、スキンドライバ31～34の各々には、2個ずつスキンドライバIC3aが接続されている。

【0089】スキンドライバ31に接続された2個のスキンドライバIC3aはブロックBK1のスキアン電極12に接続され、スキンドライバ32に接続された2個のスキンドライバIC3aはブロックBK2のスキアン電極12に接続されている。スキンドライバ33に接続された2個のスキンドライバIC3aはブロックBK3のスキアン電極12に接続され、スキンドライバ34に接続された2個のスキンドライバIC3aはブロックBK4のスキアン電極12に接続されている。

【0090】4個のサステインドライバ41～44は位相制御回路7に接続されている。サステインドライバ41はブロックBK1のサステイン電極13に接続され、サステインドライバ42はブロックBK2のサステイン電極13に接続され、サステインドライバ43はブロックBK3のサステイン電極13に接続され、サステインドライバ44はブロックBK4のサステイン電極13に接続されている。

【0091】制御信号発生回路5は、データドライバ2、スキンドライバ31～34、スキンドライバIC3a、サステインドライバ41～44および位相制御回路6、7に各種制御信号を与える。特に、制御信号発生回路5は、位相制御回路6に制御信号CC0H、CC0Lを与え、位相制御回路7に制御信号CU0H、CU0Lを与える。

【0092】位相制御回路6は、制御信号CC0H、CC0Lにตอบสนองして、制御信号CC1H、CC1Lをスキンドライバ31に与え、制御信号CC2H、CC2Lをスキンドライバ32に与え、制御信号CC3H、CC3Lをスキンドライバ33に与え、制御信号CC4H、CC4Lをスキンドライバ34に与える。また、位相制御回路7は、制御信号CU0H、CU0Lにตอบสนองして、制御信号CU1H、CU1Lをサステインドライバ41に与え、制御信号CU2H、CU2Lをサステインドライバ42に与え、制御信号CU3H、CU3Lをサステインドライバ43に与え、制御信号CU4H、CU4Lをサステインドライバ44に与える。

【0093】データドライバ2は、書き込み期間において、画像データVDに応じてPDP1の該当するアドレス電極11に書き込みパルスを印加する。また、複数のスキンドライバIC3aは、スキンドライバ31～34の出力電圧により駆動され、書き込み期間において、シフトパルスSHを垂直走査方向にシフトしつつPDP1の複数のスキアン電極12に書き込みパルスを順に印加する。それにより、該当する放電セルにおいてア

ドレス放電が起こる。

【0094】複数のスキンドライバIC3aは、維持期間において、複数のスキアン電極12に維持パルスを印加する。また、サステインドライバ41～44は、維持期間において、PDP1の複数のサステイン電極13にスキアン電極12の維持パルスに対して位相が180°ずれた維持パルスを印加する。それにより、該当する放電セルにおいて維持放電が行われる。

【0095】この場合、ブロックBK1～BK4のスキアン電極12にスキンドライバ31～34によりそれぞれ印加される維持パルスの位相が位相制御回路6により制御される。また、ブロックBK1～BK4のサステイン電極13にサステインドライバ41～44によりそれぞれ印加される維持パルスの位相が位相制御回路7により制御される。

【0096】図2は図1のPDP1におけるブロックBK1～BK4のスキアン電極12およびサステイン電極13の駆動電圧を示すタイミング図である。

【0097】初期化および書き込み期間には、ブロックBK1～BK4の複数のスキアン電極12に初期セットアップパルスPsetが同時に印加される。その後、ブロックBK1の複数のスキアン電極12に書き込みパルスPwが順に印加され、ブロックBK2の複数のスキアン電極12に書き込みパルスPwが順に印加され、ブロックBK3の複数のスキアン電極12に書き込みパルスPwが順に印加され、ブロックBK4の複数のスキアン電極12に書き込みパルスPwが順に印加される。これにより、PDP1の該当する放電セルにおいてアドレス放電が起こる。

【0098】次に、維持期間において、ブロックBK1～BK4の複数のスキアン電極12に維持パルスPscが周期的に印加され、サステイン電極13に維持パルスPsuが周期的に印加される。各ブロックBK1～BK4において、維持パルスPsuの位相は、維持パルスPscの位相に対して180°ずれている。維持パルスPscおよび維持パルスPsuの電圧はVsuである。

【0099】ブロックBK2のスキアン電極12に印加される維持パルスPscはブロックBK1のスキアン電極12に印加される維持パルスPscに対してΔt1遅延している。また、ブロックBK3のスキアン電極12に印加される維持パルスPscはブロックBK2のスキアン電極12に印加される維持パルスPscに対してΔt2遅延している。さらに、ブロックBK4のスキアン電極12に印加される維持パルスPscはブロックBK3のスキアン電極12に印加される維持パルスPscに対してΔt3遅延している。

【0100】図3は図1の主としてスキンドライバ31の構成を示す回路図である。図1のスキンドライバ32、33、34の構成も、スキンドライバ31の構成と同様である。図3には、スキンドライバ31に接

続される1つのスキャンドライバIC3aのみが示されている。

【0101】図3に示すように、スキャンドライバ31は、電力回収回路300および複数のスイッチSW1, SW2, SW3, SW5, SW6, SW7を含む。電力回収回路300の出力端子はノードN1に接続されている。なお、電力回収回路300の構成は、図32に示した電力回収回路400の構成と同様である。

【0102】スイッチSW1は電源端子V1とノードN1との間に接続され、スイッチSW2, SW7はノードN1と接地端子との間に接続されている。スイッチSW3は電源端子V2とノードN1との間に接続されている。スイッチSW5は電源端子V3とノードN3との間に接続され、スイッチSW6はノードN1とノードN3との間に接続されている。ノードN1, N3はスキャンドライバIC3aに接続されている。スキャンドライバIC3aは64本のスキャン電極12に接続されている。スイッチSW1のオンオフは、図1の位相制御回路6から与えられる制御信号CC1Hにより制御される。また、スイッチSW2のオンオフは、図1の位相制御回路6から与えられる制御信号CC1Lにより制御される。

【0103】電源端子V1には電圧V<sub>sus</sub>が印加され、電源端子V2には電圧V<sub>set</sub>が印加され、電源端子V3には電圧V<sub>scn</sub>が印加される。電圧V<sub>sus</sub>は例えば200Vであり、電圧V<sub>set</sub>は例えば450Vであり、電圧V<sub>scn</sub>は例えば70Vである。

【0104】図4は図3のスキャンドライバ31の動作を示すタイミング図である。図4において、スイッチSW1, SW2, SW3, SW5, SW6, SW7のオンの期間を矢印で示す。

【0105】初期化期間の開始時には、スイッチSW1, SW3, SW5, SW7がオフし、スイッチSW2, SW6がオンしている。そして、スイッチSW1, SW3がオンし、スイッチSW2がオフする。これにより、ノードN1, N3の電圧がV<sub>set</sub>に上昇する。その後、スイッチSW1, SW3がオフし、スイッチSW7がオンした後、スイッチSW2がオンする。それにより、ノードN1, N3の電圧が0Vまで低下する。この場合、スキャンドライバIC3aは、ノードN1, N3の電圧を複数のスキャン電極12に印加する。このようにして、複数のスキャン電極12に初期セットアップパルスP<sub>set</sub>が印加される。

【0106】書き込み期間には、スイッチSW5がオンし、スイッチSW6がオフする。スイッチSW2はオン状態を維持し、スイッチSW1, SW3, SW7はオフ状態を維持する。これにより、ノードN3の電圧はV<sub>scn</sub>となり、ノードN1の電圧は0Vとなる。この場合、スキャンドライバIC3aはシフトパルスSHを垂直走査方向にシフトしつつシフトパルスSHに同期して

複数のスキャン電極12に負極性の書き込みパルスP<sub>w</sub>を順に印加する。その後、スイッチSW5がオフし、スイッチSW6がオンする。それにより、ノードN3の電圧は0Vとなる。

【0107】維持期間においては、スイッチSW3, SW5, SW7がオフ状態を保ち、スイッチSW6がオン状態を保つ。この状態で、スイッチSW1およびスイッチSW2が交互にオンおよびオフを繰り返す。それにより、ノードN2, N3の電圧が一定周期でV<sub>sus</sub>と0Vとの間で変化する。この場合、スキャンドライバIC3aは、ノードN1, N3の電圧を複数のスキャン電極12に与える。その結果、複数のスキャン電極12に周期的な維持パルスP<sub>sc</sub>が同時に印加される。

【0108】図5は図1のサステインドライバ41の構成を示す回路図である。図1のサステインドライバ42, 43, 44の構成も、サステインドライバ41の構成と同様である。

【0109】図5に示すように、サステインドライバ41は、電力回収回路400およびスイッチSW11, SW12を含む。電力回収回路400の出力端子はノードN5に接続されている。なお、電力回収回路400の構成は、図32に示した電力回収回路400の構成と同様である。

【0110】スイッチSW11は電源端子V4とノードN5との間に接続され、スイッチSW12はノードN5と接地端子との間に接続されている。電源端子V4には電圧V<sub>sus</sub>が印加される。電圧V<sub>sus</sub>は例えば200Vである。ノードN5は64本のサステイン電極13に接続されている。

【0111】スイッチSW11のオンオフは、図1の位相制御回路7から与えられる制御信号CU1Hにより制御される。また、スイッチSW12のオンオフは、図1の位相制御回路7から与えられる制御信号CU1Lにより制御される。

【0112】図6は図5のサステインドライバ41の動作を示すタイミング図である。図6において、スイッチSW11, SW12のオンの期間を矢印で示す。

【0113】初期化および書き込み期間には、スイッチSW11がオンし、スイッチSW12がオフする。それにより、サステイン電極13の電圧がV<sub>sus</sub>に固定される。

【0114】維持期間において、スイッチSW11およびスイッチSW12が交互にオンおよびオフを繰り返す。それにより、ノードN5の電圧がV<sub>sus</sub>と0Vとの間で周期的に変化する。その結果、複数のサステイン電極13に周期的な維持パルスP<sub>su</sub>が同時に印加される。

【0115】図7は図1のスキャンドライバ31~34により発生される維持パルスの詳細な波形図である。

【0116】図7に示すように、維持パルスの立ち上が

り部分は、図3の電力回収回路300の放電動作により緩やかに変化する湾曲部c1と、スイッチSW1のオン動作により急峻に立ち上がるエッジe1とからなる。また、維持パルスの立ち下がり部分は、電力回収回路300の充電動作により緩やかに変化する湾曲部c2と、スイッチSW2のオン動作により急峻に立ち下がるエッジe2とからなる。

【0117】本実施例では、破線で示すように、位相制御回路6により維持パルスの立ち上がり部のエッジe1の位相および立ち下がり部のエッジe2の位相が制御される。

【0118】なお、位相制御回路6により維持パルスの立ち上がり部のエッジe1の位相および立ち下がり部のエッジe2の位相のいずれか一方のみを制御してもよい。その場合には、位相制御回路6の回路構成および配線が簡単になる。また、位相制御回路6により維持パルスの立ち上がり部または立ち下がり部の全体の位相を制御してもよい。

【0119】図1のサステインドライバ41～44により発生される維持パルスの波形も、図7に示した維持パルスの波形と同様である。本実施例では、位相制御回路7により維持パルスの立ち上がり部のエッジe1の位相および立ち下がり部のエッジe2の位相が制御される。

【0120】なお、位相制御回路7により維持パルスの立ち上がり部のエッジe1の位相および立ち下がり部のエッジe2の位相のいずれか一方のみを制御してもよい。その場合には、位相制御回路7の回路構成および配線が簡単になる。また、位相制御回路7により維持パルスの立ち上がり部または立ち下がり部の全体の位相を制御してもよい。

【0121】次に、本実施例のプラズマディスプレイ装置における電磁波低減の原理について説明する。

【0122】図8は駆動パルスおよびその駆動パルスの高調波を示す波形図である。なお、図8の駆動パルスは、図2に示した維持パルスPscまたは維持パルスPsuのエッジ部e1、e2（図7参照）に等価である。一般に、パルスは様々な周波数成分を有する複数の波の合成波である。

【0123】図8には、駆動パルスh0ならびに1次高調波h1、3次高調波h2、5次高調波h3および7次高調波h4が示されている。

【0124】図9および図10は図1のプラズマディスプレイ装置における電磁波低減の原理を示す波形図である。

【0125】図9において、ブロックBK2の駆動パルス（以下、第2パルスと呼ぶ）は、ブロックBK1の駆動パルス（以下、第1パルスと呼ぶ）に対して $\Delta t_1$ 遅延している。第1パルスのn次高調波と第2パルスのn次高調波との位相差が $180^\circ$ である場合には、第1パルスのn次高調波と第2パルスのn次高調波とが打ち消

し合う。したがって、合成されたn次高調波の振幅は0となる。

【0126】図10において、ブロックBK2の駆動パルス（第2パルス）はブロックBK1の駆動パルス（第1パルス）に対して $2\Delta t_1$ 遅延している。この場合、第1パルスのn次高調波と第2パルスのn次高調波との位相差が $0^\circ$ となるので、第1パルスのn次高調波と第2パルスのn次高調波とは強め合う。したがって、合成されたn次高調波の振幅は2倍になる。

【0127】このように、位相差によって駆動パルスのn次高調波が互いに打ち消し合う場合および振幅が2倍になる場合がある。したがって、2つのブロック間で所望の周波数の高調波が打ち消し合うように駆動パルスの位相差を設定することにより、所望の周波数の電磁波を低減することができる。3つ以上のブロック間でも所望の周波数が打ち消し合うように駆動パルスの位相差を設定することにより、同様に所望の周波数の電磁波を低減することができる。

【0128】図11は図1のプラズマディスプレイ装置における主として位相制御回路7の構成を示すブロック図である。また、図12はサステインドライバ間に設けられる電磁波検出器の斜視図である。

【0129】図11に示すように、位相制御回路7は、位相検出部71、位相遅延回路72および位相スキャン回路73を含む。位相検出部71は、増幅器701、周波数選択回路702、検波器703および最小値検出部704を含む。

【0130】また、電磁波検出器70が、サステインドライバ41、42間に設けられる。図1のサステインドライバ42、43間およびサステインドライバ43、44間にも、同様の電磁波検出器70が設けられる。

【0131】位相検出部71、位相遅延回路72および位相スキャン回路73は、サステインドライバ41～44に対して共通に設けられてもよく、その場合には時分割で動作する。

【0132】図12に示すように、サステインドライバ41の維持パルス出力端子410とサステインドライバ42の維持パルス出力端子420との間に電磁波検出器70が配置されている。電磁波検出器70は、空芯コイル711および回路基板712により構成される。

【0133】サステインドライバ41の維持パルス出力端子410は、フレキシブル基板412を介してPDP1のブロックBK1の複数のサステイン電極13に接続されている。同様に、サステインドライバ42の維持パルス出力端子420は、フレキシブル基板412を介してPDP1のブロックBK2の複数のサステイン電極13に接続されている。

【0134】空芯コイル711には、維持パルス出力端子410および複数のサステイン電極13から発生される電磁波ならびに維持パルス出力端子420および複数

のサステイン電極13から発生される電磁波に基づいて磁界の変化率に比例した電流が流れる。空芯コイル711に流れる電流は回路基板712を通して図11の位相検出部71の増幅器701に与えられる。

【0135】増幅器701は、電磁波検出器70から与えられた電流を交流電圧に変換しつつ増幅する。周波数選択回路702は、周波数選択フィルタまたは同調増幅回路からなり、増幅器701から出力される交流電圧から設定された周波数成分を選択して出力する。本実施例では、周波数選択回路702が、例えば30～50MHzの周波数成分を選択して出力する。この周波数成分は、放電発光特性を左右する領域であるが、上述のようにこの周波数成分の波形をなまらせることはできない。

【0136】検波器703は、周波数選択回路702から出力された交流電圧を直流電圧に変換して出力する。最小値検出部704は、後述する方法で検波器703から出力される電圧の最小値を検出し、その最小値を最適遅延時間として位相スキャン回路73に与える。

【0137】一方、位相遅延回路72は、図1の制御信号発生回路5により発生される制御信号CU0H、CU0Lを受け、その制御信号CU0H、CU0Lを位相スキャン回路73から与えられる遅延時間だけ遅延させることにより、制御信号CU0H、CU0Lに対してそれぞれ位相差を有する制御信号CU2H、CU2Lをサステインドライバ42に与えるとともに、制御信号CU0H、CU0Lに対して所定の時間（例えば40ns）だけ遅延した制御信号CU1H、CU1Lをサステインドライバ41に与える。なお、制御信号CU0H、CU0Lをそのまま制御信号CU1H、CU1Lとしてサステインドライバ41に与えてもよい。

【0138】位相スキャン回路73は、所定の位相スキャン期間に、位相遅延回路72から出力される制御信号CU2H、CU2Lと制御信号CU1H、CU1Lとの位相差が例えば0nsから150nsまで変化するように遅延時間を変化させた後、最小値検出部704から与えられる最適遅延時間を位相遅延回路72に与える。

【0139】この場合、制御信号CU1H、CU1Lは図5のサステインドライバ41のスイッチSW11、SW12を制御する信号である。また、制御信号CU2H、CU2Lはサステインドライバ42のスイッチSW11、SW12を制御する信号である。

【0140】図13は図11の主として最小値検出部704、位相遅延回路72および位相スキャン回路73の構成を示すブロック図である。

【0141】最小値検出部704は、A/D変換器（アナログ・デジタル変換器）713および比較器714を含む。また、位相スキャン回路73は、カウンタ731、メモリ732およびセクタ733を含む。位相遅延回路71は、2つの位相遅延回路72a、72bから構成される。位相遅延回路72aは、4個のセクタ7

21、722、723、724、5個の遅延素子720、725、726、727、728および選択信号発生回路729を含む。遅延素子720、725～728は、ラッチ回路またはバッファ回路からなる。位相遅延回路72bの構成も、位相遅延回路72aの構成と同様である。

【0142】最小値検出部704のA/D変換器713は、検波器703から出力される直流電圧をアナログ・デジタル変換し、デジタル信号を出力する。比較器714は、A/D変換器713から出力されるデジタル信号の最小値を保持して出力する。

【0143】すなわち、比較器714は、A/D変換器713から現在与えられたデジタル信号の値を既に保持している値と比較し、現在与えられたデジタル信号の値が既に保持している値よりも小さい場合に、現在与えられたデジタル信号の値を最小値として保持するとともに、位相スキャン回路73のメモリ732に書き込み信号WRを与える。また、比較器714は、現在与えられたデジタル信号の値が既に保持している値よりも大きい場合には、既に保持している値を最小値として保持する。

【0144】一方、位相スキャン回路73のカウンタ731は、位相スキャン期間において、リセット信号RSTによりリセットされ、クロック信号CKのパルスのカウントを開始し、カウント値をメモリ732およびセクタ733の一方の入力端子に与える。

【0145】メモリ732は、比較器714から与えられる書き込み信号WRに応答してカウンタ731から与えられるカウント値を記憶するとともに出力する。このように、メモリ732に記憶されるカウント値は書き込み信号WRに応答して更新される。メモリ732から出力されるカウント値は、セクタ733の他方の入力端子に与えられる。

【0146】セクタ733は、カウンタ731のカウント動作中にカウンタ731から与えられるカウント値を選択して位相遅延回路72に遅延時間として与える。カウンタ731のカウント動作の終了後に、セクタ733は、メモリ732から出力されるカウント値を選択して位相遅延回路72に最適遅延時間として与える。

【0147】位相遅延回路72aの選択信号発生回路729は、位相スキャン期間にセクタ733から出力される遅延時間に基づいて選択信号SEL1、SEL2、SEL3、SEL4をそれぞれセクタ721、722、723、724に与える。

【0148】遅延素子725、726、727、728の遅延量はそれぞれ1T、2T、4Tおよび8Tに設定されている。また、遅延素子720の遅延量は例えば4Tに設定されている。ここで、Tは任意の時間を表す。例えば、制御信号CU2Lと制御信号CU1Lとの位相差を0～150nsの範囲内で変化させる場合には、T

を10nsに設定する。セクタ721は、選択信号SEL1に基づいて制御信号CULおよび遅延素子725の出力信号のいずれか一方を選択して出力する。セクタ722は、選択信号SEL2に基づいてセクタ721の出力信号および遅延素子726の出力信号のいずれか一方を選択して出力する。セクタ723は、選択信号SEL3に基づいてセクタ722の出力信号および遅延素子727の出力信号のいずれか一方を選択して出力する。セクタ724は、選択信号SEL4に基づいてセクタ723の出力信号および遅延素子728の出力信号のいずれか一方を選択して制御信号CU2Lとして出力する。

【0149】また、遅延素子720にも制御信号CULが与えられる。遅延素子720の出力信号は、制御信号CU1Lとして出力される。

【0150】なお、位相遅延回路72bは、位相遅延回路72aと同様にして、制御信号CU0Hを受け、制御信号CU2Hおよび制御信号CU1Hを出力する。

【0151】例えば、セクタ733から出力される遅延時間が5Tの場合には、セクタ721は遅延回路725の出力信号を選択し、セクタ722はセクタ721の出力信号を選択し、セクタ723は遅延回路727の出力信号を選択し、セクタ724はセクタ723の出力信号を選択する。これにより、制御信号CULに対する制御信号CU2Lの遅延時間が5Tとなる。また、制御信号CU1Lに対する制御信号CU2Lの遅延時間はTとなる。

【0152】このようにして、位相スキャン期間において、カウンタ731のカウント値が順次増加することにより制御信号CU2Lと制御信号CU1Lとの位相差が0から150nsまで順次変化し、所定の周波数で電磁波のレベルが最小となるときのカウンタ731のカウント値がメモリ732に記憶される。

【0153】その後、メモリ732に記憶されたカウント値が最適遅延時間として選択信号発生回路729に与えられることにより、電磁波のレベルが最小となるように制御信号CU2Lと制御信号CU1Lとの位相差が設定される。

【0154】上記の位相スキャン期間は、電源投入直後および所定の時間ごとに定期的に設定される。

【0155】なお、図1の位相制御回路6の構成も、図11に示した位相制御回路7の構成と同様である。この場合、位相制御回路6は、制御信号CC0H、CC0Lを受け、制御信号CC1H、CC1L、CC2H、CC2L、CC3H、CC3L、CC4H、CC4Lを出力する。ただし、位相制御回路6に接続される電磁波検出器70は、スキンドライバ31、32の出力端子間、スキンドライバ32、33の出力端子間およびスキンドライバ33、34間の出力端子間に設ける。

【0156】あるいは、図12に示した電磁波検出器7

0をスキンドライバ31に接続されるスキンドライバIC3aの出力端子とスキンドライバ32に接続されるスキンドライバIC3aの出力端子との間、スキンドライバ32に接続されるスキンドライバIC3aの出力端子とスキンドライバ33に接続されるスキンドライバIC3aの出力端子との間およびスキンドライバ33に接続されるスキンドライバIC3aの出力端子とスキンドライバ34に接続されるスキンドライバIC3aの出力端子との間に設けてもよい。

【0157】この場合、位相制御回路6から出力される制御信号CC1H、CC1Lは図3のスイッチSW1、SW2を制御する信号である。

【0158】図14は駆動パルスDS1に対する駆動パルスDS2の位相差による電磁波低減効果を説明するための図である。ここで、 $f_0$ を電磁波の所定の周波数とする。駆動パルスDS1、DS2は異なるブロックにおけるサステイン電極13に印加される維持パルスP<sub>su</sub>である。あるいは、駆動パルスDS1、DS2は異なるブロックにおけるスキャン電極12に印加される維持パルスP<sub>sc</sub>である。

【0159】図14(a)に示すように、駆動パルスDS1に対する駆動パルスDS2の位相差 $\Delta t$ が0の場合には、電磁波レベルは全周波数にわたって高く、所定の周波数 $f_0$ での電磁波低減効果は0である。図14(b)、(c)、(d)の右図において、一点鎖線は駆動パルスDS1に対する駆動パルスDS2の位相差 $\Delta t$ が0のときの電磁波レベルを示す。

【0160】図14(b)に示すように、駆動パルスDS1に対する駆動パルスDS2の位相差 $\Delta t$ が $\alpha$ になると、所定の周波数 $f_0$ での電磁波レベルが下降し、電磁波低減効果が大きくなる。ここで、 $\alpha < 1/2f_0$ である。

【0161】図14(c)に示すように、駆動パルスDS1に対する駆動パルスDS2の位相差 $\Delta t$ が $1/2f_0$ のときには、所定の周波数 $f_0$ での電磁波レベルが最小となり、電磁波低減効果が最大となる。

【0162】図14(d)に示すように、駆動パルスDS1に対する駆動パルスDS2の位相差 $\Delta t$ が $1/2f_0 + \alpha$ になると、所定の周波数 $f_0$ での電磁波レベルが再び上昇し、再び電磁波低減効果が小さくなる。

【0163】このように、駆動パルスDS1に対する駆動パルスDS2の位相差 $\Delta t$ を変化させることにより所定の周波数 $f_0$ での電磁波レベルが上下し、周波数 $f_0$ での電磁波レベルが極小値を持つ。したがって、駆動パルスDS1に対する駆動パルスDS2の位相差 $\Delta t$ を $1/2f_0$ に設定することにより、所定の周波数 $f_0$ での電磁波レベルを最小にすることができる。

【0164】図15はPDPの4つのブロック内のスキャン電極12およびサステイン電極13の本数比による電磁波低減効果の違いを説明するための図であり、



(a)はPDP1を4つのブロックに等分割した場合(スキャン電極12およびサステイン電極13の本数比が1:1:1:1の場合)の電磁波レベルの周波数特性を示し、(b)はPDP1をスキャン電極12およびサステイン電極13の本数比1:2:2:1で4つのブロックに分割した場合の電磁波レベルの周波数特性を示す。

【0165】なお、図15(a)、(b)の例において4つのブロック間での維持パルスの位相差は等しいものとする。

【0166】以下の説明において、各ブロック内のスキャン電極12およびサステイン電極13の本数の比を単に本数比と呼ぶ。

【0167】図15(b)に示すようにPDP1を本数比1:2:2:1で分割した場合には、図15(a)に示すようにPDP1を等分割した場合に比べて、特定の周波数帯域で電磁波レベルをより低減することができ、かつ広い周波数帯域で電磁波レベルを低減することができる。このように、複数のブロックの本数比を適切に設定することにより、ブロック間での維持パルスの位相差が等しい場合にも広い周波数帯域で大きな電磁波低減効果が得られることが分かる。

【0168】図16はPDP1のブロック分割方法を示す図である。以下、駆動パルスの周期を5000nsとする。

【0169】図16(a)の例では、PDP1が2つのブロックBK1、BK2に分割されている。ブロックBK1、BK2の本数比は1:1であり、ブロックBK1、BK2間の駆動パルスの位相差は $\alpha$ nsである。

【0170】図16(b)の例では、PDP1が3つのブロックBK1、BK2、BK3に分割されている。ブロックBK1、BK2、BK3の本数比は1:2:1であり、ブロックBK1、BK2間の駆動パルスの位相差は $\alpha$ nsであり、ブロックBK2、BK3間の駆動パルスの位相差は $\beta$ nsである。

【0171】図16(c)の例では、PDP1が4つのブロックBK1、BK2、BK3、BK4に分割されている。ブロックBK1、BK2、BK3、BK4の本数比は1:2:2:1である。ブロックBK1、BK2間の駆動パルスの位相差は $\alpha$ nsであり、ブロックBK2、BK3間の駆動パルスの位相差は $\beta$ nsであり、ブロックBK3、BK4間の駆動パルスの位相差は $\gamma$ nsである。

【0172】図17～図27はブロック分割による妨害低減レベルの周波数特性の計算結果を示す図である。図17～図27では、隣接するブロック間での駆動パルスの位相差を $\Delta t$ で示す。ここでは、駆動パルスの周期を5000nsとする。

【0173】図17～図22はPDP1を2分割した場合の妨害低減レベルの周波数特性の計算結果を示す。ブ

ロックの本数比は1:1である。

【0174】図17は位相差 $\Delta t$ が5nsの場合の計算結果、図18は位相差 $\Delta t$ が8nsの場合の計算結果、図19は位相差 $\Delta t$ が10nsの場合の計算結果、図20は位相差 $\Delta t$ が15nsの場合の計算結果、図21は位相差 $\Delta t$ が30nsの場合の計算結果、図22は位相差 $\Delta t$ が100nsの場合の計算結果である。図17～図22に示すように、位相差 $\Delta t$ を調整することにより妨害低減レベルが最小となる周波数を調整することができる。するとともに妨害低減レベルの極小点の数を調整することができる。

【0175】なお、妨害低減レベルが最小となる周波数を $f_0$ とすると、ブロック間の位相差 $\Delta t$ は次式で表される。

$$\Delta t = 1/2f_0$$

図23および図24はPDP1を3分割した場合の妨害低減レベルの周波数特性の計算結果を示す。位相差 $\Delta t$ は8nsである。図23はブロックの本数比が1:1:1の場合の計算結果、図24は本数比が1:2:1の場合の計算結果である。

【0177】図23に示すように、本数比が1:1:1の場合には、妨害低減効果が小さく、図24に示すように、本数比が1:2:1の場合には、妨害低減効果が大きくなっている。

【0178】図25および図26はPDP1を4分割した場合の妨害低減レベルの周波数特性の計算結果を示す。位相差 $\Delta t$ は8nsである。図25はブロックの本数比を1:1:1:1とした場合の計算結果、図26はブロックの本数比を1:2:2:1とした場合の計算結果である。

【0179】図25および図26に示すように、ブロックの本数比を1:2:2:1とした場合には、PDP1を等分割した場合に比べて妨害低減効果が大きくなっている。

【0180】図27はPDP1を6分割した場合の妨害低減レベルの周波数特性の計算結果を示す。ブロックの本数比は1:1:1:1:1:1であり、位相差 $\Delta t$ は8nsである。図27に示すように、PDP1を6分割した場合には、妨害低減効果が大きくなっている。

【0181】図18、図23、図25および図27の比較から、PDP1が等分割されかつブロック間での位相差が等しい場合には、ブロック分割数が多いほど妨害低減効果が大きくなることがわかる。

【0182】また、図23と図24との比較および図25と図26との比較から、ブロック分割数が等しくかつブロック間での位相差が等しい場合には、複数のブロック内のスキャン電極12およびサステイン電極13の本数が異なるようにPDP1を分割した方がPDP1を等分割した場合に比べて妨害低減効果が大きくなることがわかる。

【0183】なお、PDP1を3分割する場合には、ブロックの本数比を1:2:1に設定した場合に妨害低減効果が大きくなる。また、PDPを4分割する場合には、ブロックの本数比を1:2:2:1に設定した場合に妨害低減効果が大きくなる。さらに、PDP1を6分割する場合には、ブロックの本数比を1:2:3:3:2:1に設定した場合に妨害低減効果が大きくなる。また、PDP1を8分割する場合には、ブロックの本数比を1:2:3:4:4:3:2:1に設定した場合に妨害低減効果が大きくなる。

【0184】なお、各本数のブロックの位置は任意である。例えば、PDP1を4分割する場合には、4つのブロックの本数比を画面の上から1:2:2:1としてもよく、1:2:1:2としてもよく、2:1:1:2としてもよく、2:1:2:1としてもよい。また、複数のブロックの本数比が整数比である必要はない。

【0185】本実施例のプラズマディスプレイ装置においては、PDP1のスクアン電極12に印加される維持パルスにより発生する電磁波が所定の周波数で最小となるように位相制御回路6によりブロックBK1, BK2, BK3, BK4間での維持パルスの位相差が制御されるので、PDP1において維持パルスにより発生する不要な電磁波の輻射を確実に抑制することができる。

【0186】また、PDP1のサステイン電極13に印加される維持パルスにより発生する電磁波が所定の周波数で最小となるように位相制御回路7によりブロックBK1, BK2, BK3, BK4間での維持パルスの位相差が制御されるので、PDP1において維持パルスにより発生する不要な電磁波の輻射を確実に抑制することができる。

【0187】これらの結果、PDP1において発生する不要な電磁波の輻射を十分に抑えることが可能となる。

【0188】なお、本実施例では、電磁波検出器70により電磁波の磁界の変化率に比例した電流を検出することにより、電磁波のレベルを検出しているが、電磁波の電界を検出することにより電磁波のレベルを検出してもよい。この場合には、電界に比例した電圧を検出することにより電界を検出する。

【0189】また、本実施例では、維持パルスの位相差を制御する位相制御回路6および維持パルスの位相差を制御する位相制御回路7の両方を設けているが、位相制御回路6および位相制御回路7のいずれか一方を設けてもよい。

【0190】図28(a)は位相制御回路の他の例を示すブロック図、図28(b)は維持パルスの波形図である。

【0191】図28(a)に示す位相制御回路8は、サステインドライバ41, 42に接続された位相検出部80および位相遅延回路81を含む。なお、この位相制御回路8は、サステインドライバ42, 43に接続された

位相検出部80および位相遅延回路81ならびにサステインドライバ43, 44に接続された位相検出部80および位相遅延回路81も含む。

【0192】位相検出部80は出力電圧検出器801, 802および比較器803を含む。出力電圧検出器801は、サステインドライバ41の出力端子の電圧を検出する。出力電圧検出器802は、サステインドライバ42の出力端子の電圧を検出する。

【0193】図28(b)に示すように、2つの維持パルス間に位相差が存在すれば、矢印で示すように、2つの維持パルスの電圧にも差が生じる。比較器803は、出力電圧検出器801により検出された電圧と出力電圧検出器802により検出された電圧との差を検出し、その差を予め設定された基準電圧Vrefと比較し、検出された電圧の差と基準電圧Vrefとの電圧差を位相差制御信号として位相遅延回路81に与える。

【0194】位相遅延回路81は、比較器803から与えられる位相差制御信号に基づいて制御信号SU1H, SU1Lに対する制御信号SU2H, SU2Lの遅延時間を制御し、制御信号SU1H, SU1Lをサステインドライバ41に与え、制御信号SU1H, SU1Lをサステインドライバ42に与える。

【0195】基準電圧Vrefは、維持パルスにより発生する電磁波が所定の周波数で最小となる場合のサステインドライバ41の出力端子の電圧とサステインドライバ42の出力端子の電圧との差と等しくなるように予め設定される。

【0196】このようにして、出力電圧検出器801により検出される電圧と出力電圧検出器802により検出される電圧との差が基準電圧Vrefと等しくなるように制御信号SU1H, SU1Lと制御信号SU2H, SU2Lとの間の位相差が制御される。

【0197】図28の位相制御回路8においては、ブロック間での維持パルスの電圧差を検出することにより維持パルスの位相差を検出し、ブロック間での維持パルスの位相差が所定の値になるようにサステインドライバ41, 42が制御される。したがって、PDP1のサステイン電極13に印加される維持パルスにより発生する電磁波が所定の周波数で最小となる。その結果、PDP1からの不要な電磁波の輻射を抑制することができる。

【0198】なお、図28に示す位相制御回路8を図1の位相制御回路6の代わりに用いてもよい。また、図28の位相検出部80の出力電圧検出器801, 802の代わりに出力電流検出器を用いてもよい。この場合にも、同様の効果が得られる。

【0199】本実施例では、アドレス電極11が第1の電極に相当し、スクアン電極12が第2の電極に相当し、サステイン電極13が第3の電極に相当する。また、アドレス電極11に印加される書き込みパルスが第1のパルス電圧に相当し、維持パルスPscが第2のパ

ルス電圧に相当し、維持パルスP s uが第3のパルス電圧に相当する。さらに、データドライバ2が第1の電圧印加手段に相当し、スキャンドライバ3 1～3 4およびスキャンドライバI C 3 aが第2の電圧印加手段または複数の第2の電圧印加回路に相当し、サステインドライバ4 1～4 4が第3の電圧印加手段または複数の第3の電圧印加回路に相当する。

【0200】位相制御回路6が位相制御手段または第1の位相制御回路に相当し、位相制御回路7が位相制御手段または第2の位相制御回路に相当する。また、電磁波検出器7 0および位相検出部7 1が第1または第2の電磁波検出手段に相当し、位相スキャン回路7 3が第1または第2の位相差走査手段に相当し、最小値検出部7 0 4が第1または第2の記憶手段に相当し、位相検出部8 0が第1または第2の位相差検出手段に相当する。ブロックB K 1、B K 2、B K 3、B K 4が複数のグループに相当する。

【0201】

【発明の効果】本発明によれば、複数の第2の電極に印加される第2のパルス電圧または複数の第3の電極に印加される第3のパルス電圧の位相を制御することにより所定の周波数の電磁波が低減される。したがって、不要な電磁波の輻射が抑制される。

【図面の簡単な説明】

【図1】本発明の一実施例によるプラズマディスプレイ装置の構成を示すブロック図

【図2】図1のPDPにおける各ブロックのスキャン電極およびサステイン電極の駆動電圧を示すタイミング図

【図3】図1のプラズマディスプレイ装置における主としてスキャンドライバの構成を示す回路図

【図4】図3のスキャンドライバの動作を示すタイミング図

【図5】図1のプラズマディスプレイ装置における主としてサステインドライバの構成を示す回路図

【図6】図5のサステインドライバの動作を示すタイミング図

【図7】図1のスキャンドライバにより発生される維持パルスの詳細な波形図

【図8】駆動パルスおよびその駆動パルスの高調波を示す波形図

【図9】図1のプラズマディスプレイ装置における電磁波低減の原理を示す波形図

【図10】図1のプラズマディスプレイ装置における電磁波低減の原理を示す波形図

【図11】図1のプラズマディスプレイ装置における主として位相制御回路の構成を示すブロック図

【図12】サステインドライバ間に設けられる電磁波検出器の斜視図

【図13】図11の位相制御回路における主として最小値検出部、位相遅延回路および位相スキャン回路の構成

を示すブロック図

【図14】駆動パルス間の位相差による電磁波低減効果を説明するための図

【図15】PDPの4つのブロックの本数比による電磁波低減効果の違いを説明するための図

【図16】PDPのブロック分割方法の例を示す図

【図17】PDPを2分割しかつ位相差を5 nsとした場合の妨害低減レベルの周波数特性の計算結果を示す図

【図18】PDPを2分割しかつ位相差を8 nsとした場合の妨害低減レベルの周波数特性の計算結果を示す図

【図19】PDPを2分割しかつ位相差を10 nsとした場合の妨害低減レベルの周波数特性の計算結果を示す図

【図20】PDPを2分割しかつ位相差を15 nsとした場合の妨害低減レベルの周波数特性の計算結果を示す図

【図21】PDPを2分割しかつ位相差を30 nsとした場合の妨害低減レベルの周波数特性の計算結果を示す図

【図22】PDPを2分割しかつ位相差を100 nsとした場合の妨害低減レベルの周波数特性の計算結果を示す図

【図23】PDPを本数比1：1：1で3分割した場合の妨害低減レベルの周波数特性の計算結果を示す図

【図24】PDPを本数比1：2：1で3分割した場合の妨害低減レベルの周波数特性の計算結果を示す図

【図25】PDPを本数比1：1：1：1で4分割した場合の妨害低減レベルの周波数特性の計算結果を示す図

【図26】PDPを本数比1：2：2：1で4分割した場合の妨害低減レベルの周波数特性の計算結果を示す図

【図27】PDPを本数比1：1：1：1：1：1で6分割した場合の妨害低減レベルの周波数特性の計算結果を示す図

【図28】位相制御回路の他の例および維持パルスを示す図

【図29】AC型PDPにおける3電極面放電セルの模式的断面図

【図30】従来のプラズマディスプレイ装置の構成を示すブロック図

【図31】図30のPDPにおけるスキャン電極およびサステイン電極の駆動電圧の一例を示すタイミング図

【図32】図30のサステインドライバの構成を示す回路図

【図33】図32のサステインドライバの動作を示すタイミング図

【符号の説明】

1 PDP

2 データドライバ

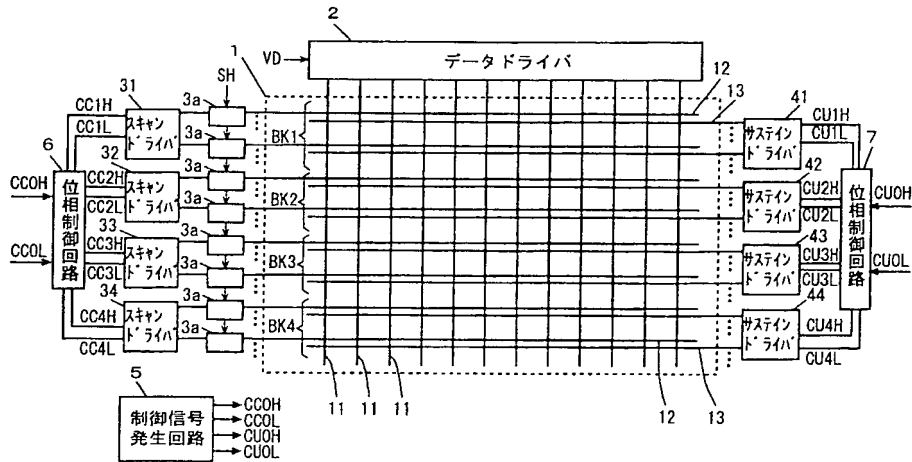
3 a スキャンドライバI C

5 制御信号発生回路

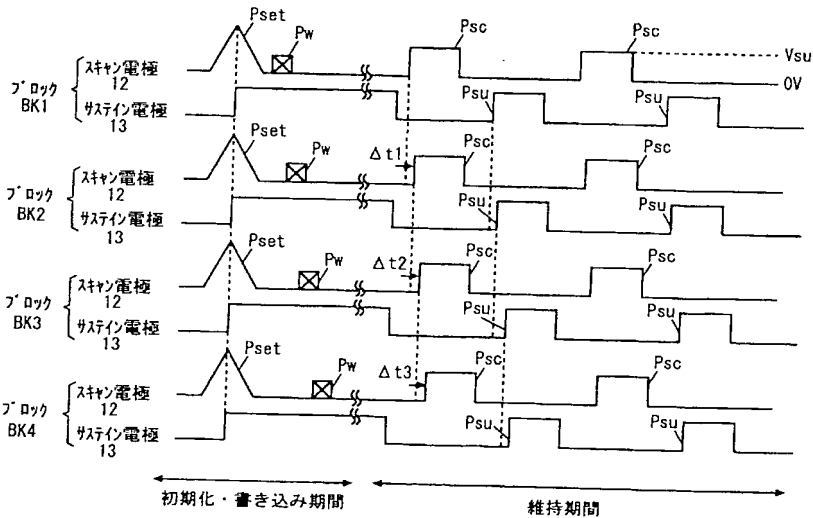
6, 7, 8 位相制御回路  
 11 アドレス電極  
 12 スキャン電極  
 13 サステイン電極  
 31, 32, 33, 34 スキャンドライバ  
 41, 42, 43, 44 サステインドライバ

70 電磁波検出器  
 71, 80 位相検出部  
 72, 72a, 72b, 81 位相遅延回路  
 73 位相スキャン回路  
 801, 802 出力電圧検出器

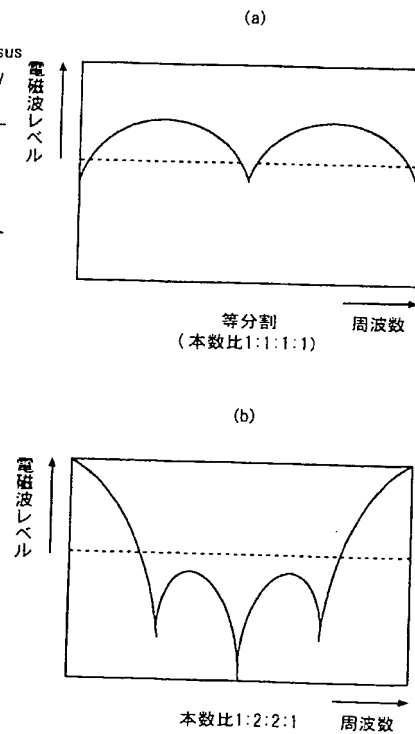
【図1】



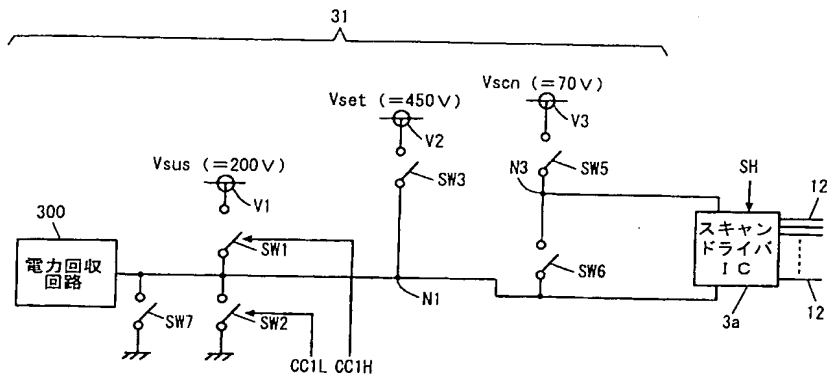
【図2】



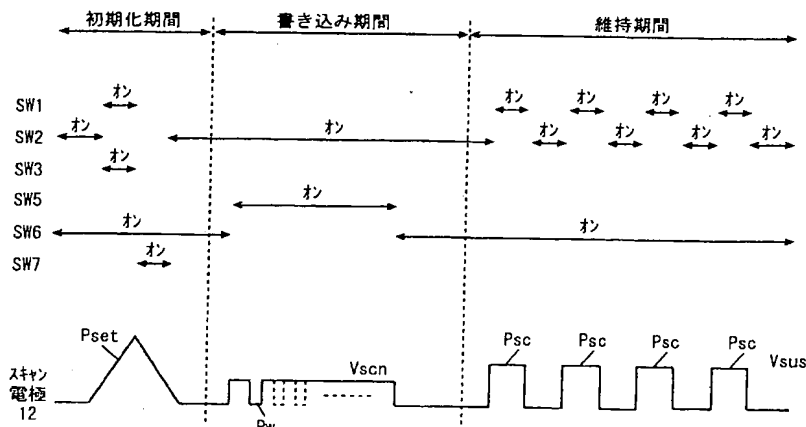
【図15】



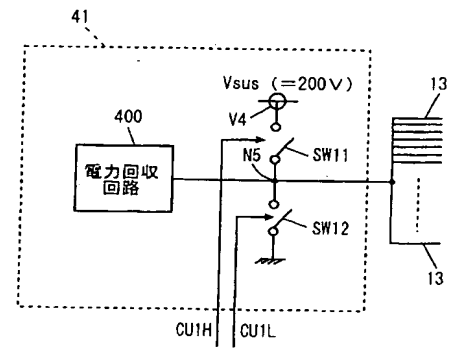
【図3】



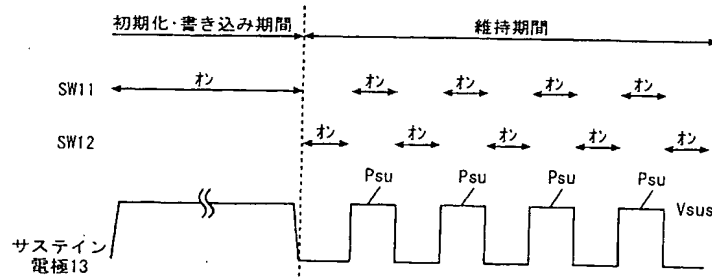
【図4】



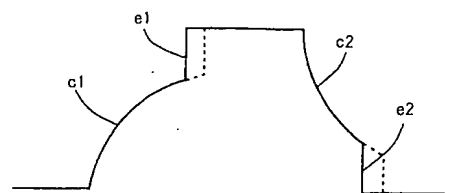
【図5】



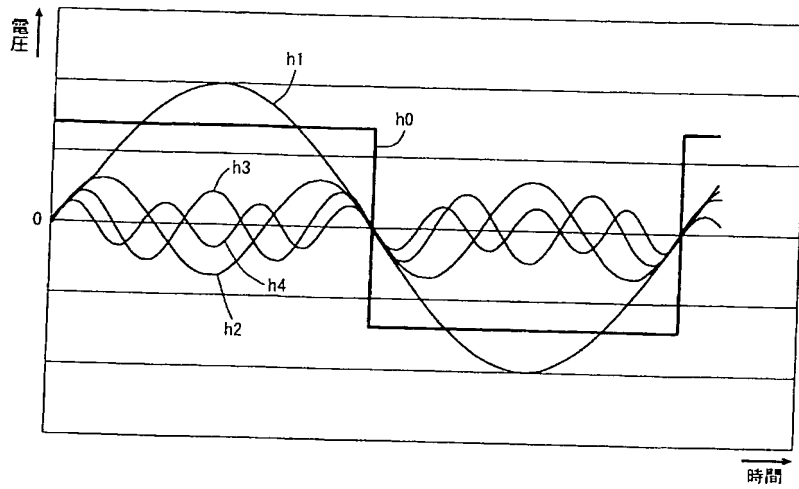
【図6】



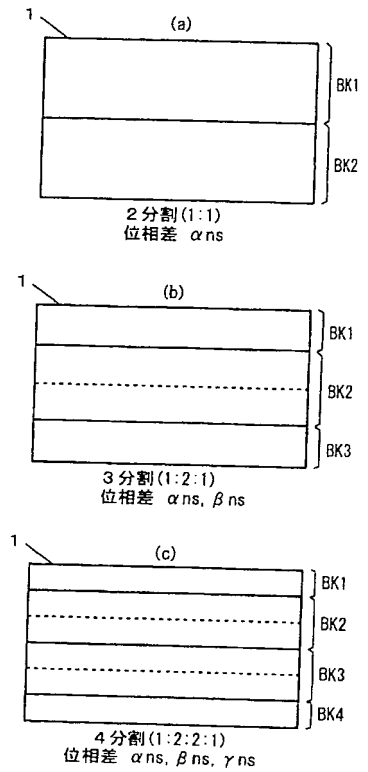
【図7】



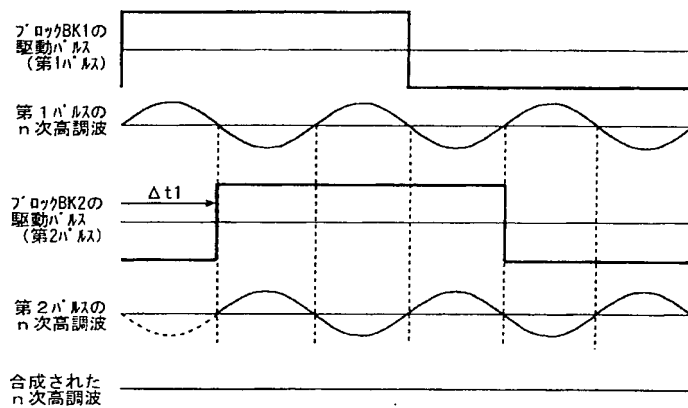
【図8】



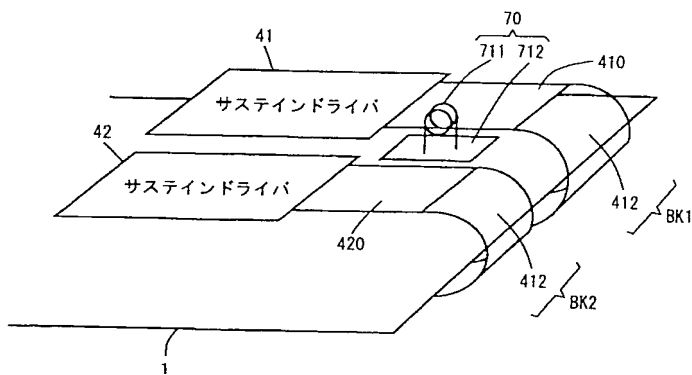
【図16】



【図9】

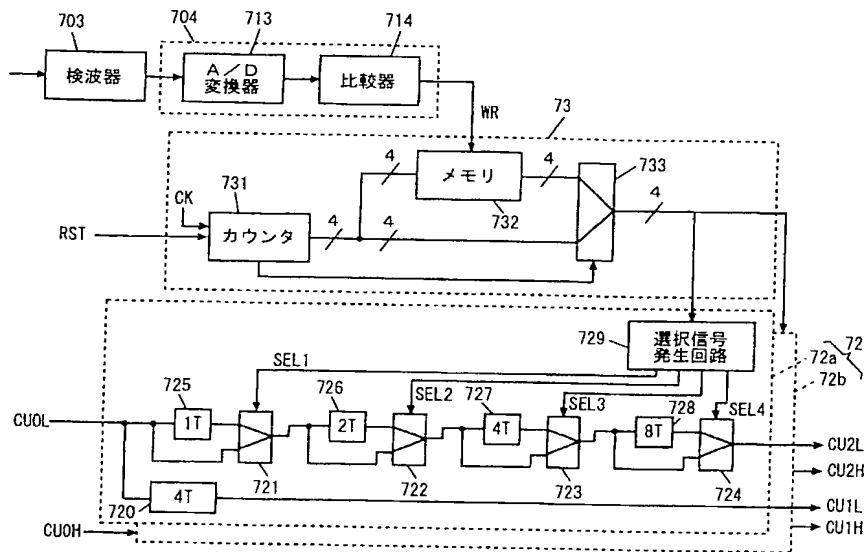


【図12】

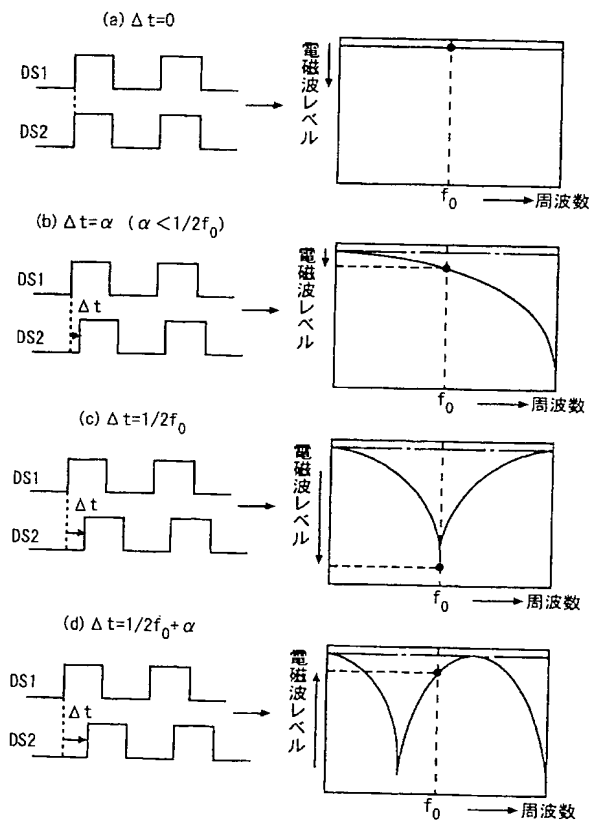




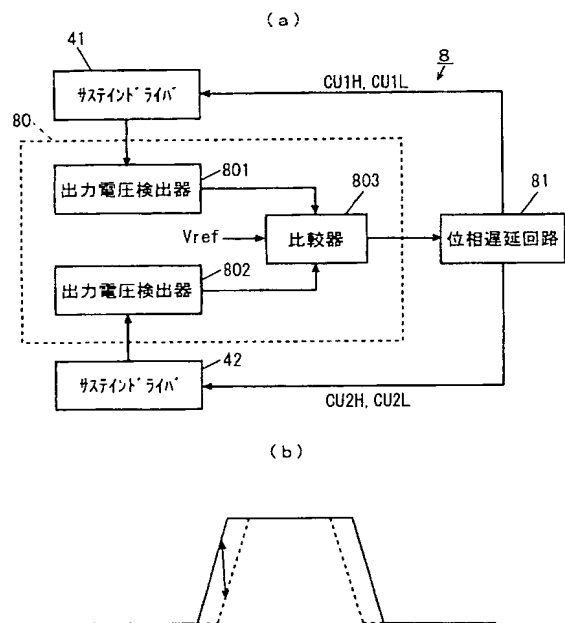
【図13】



【図14】

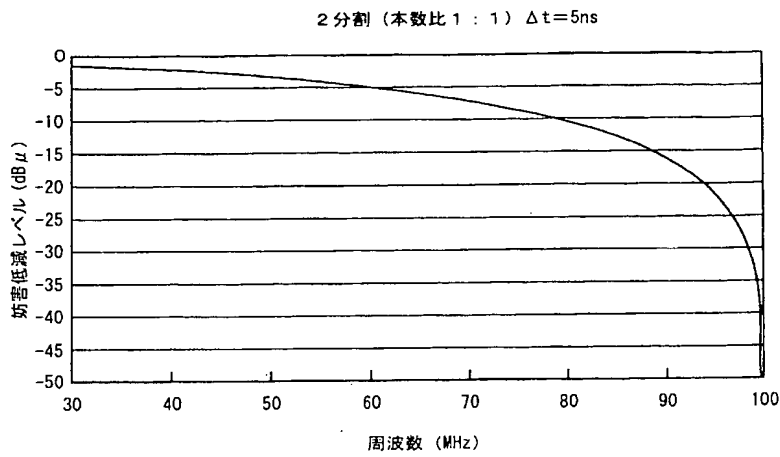


【図28】

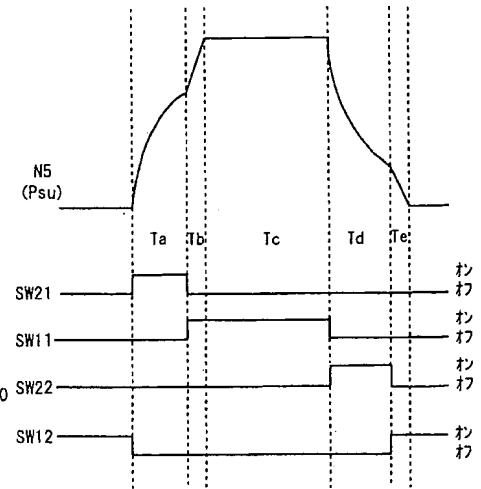




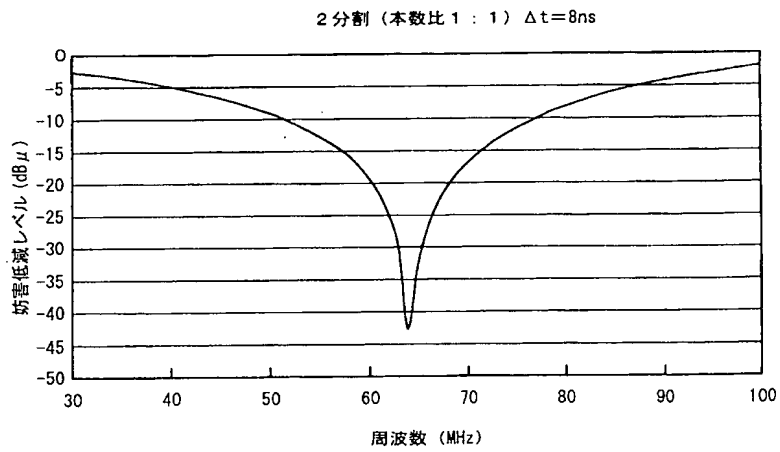
【図17】



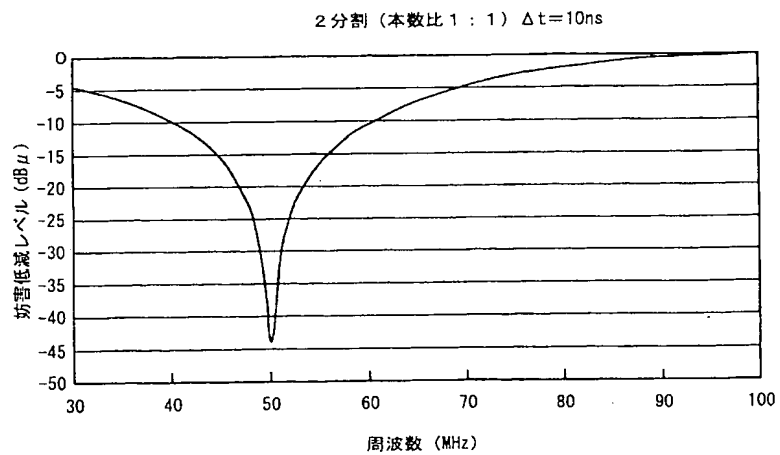
【図33】



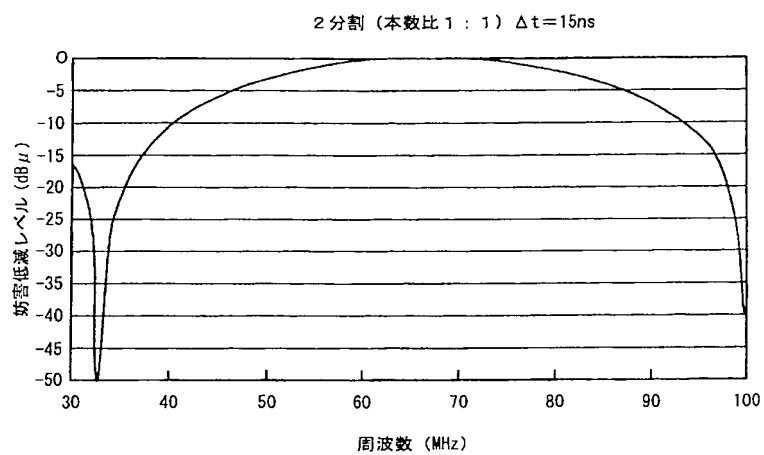
【図18】



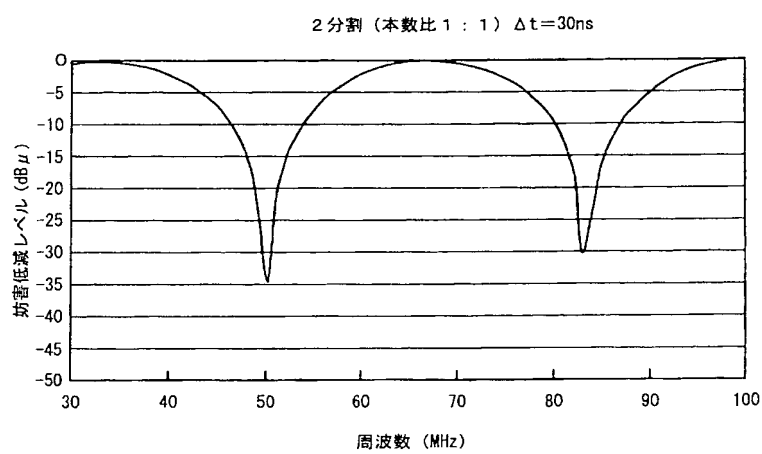
【図19】



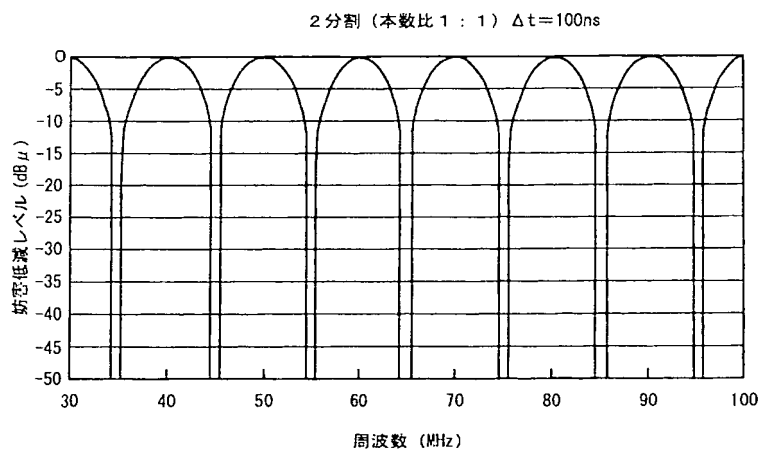
【図20】



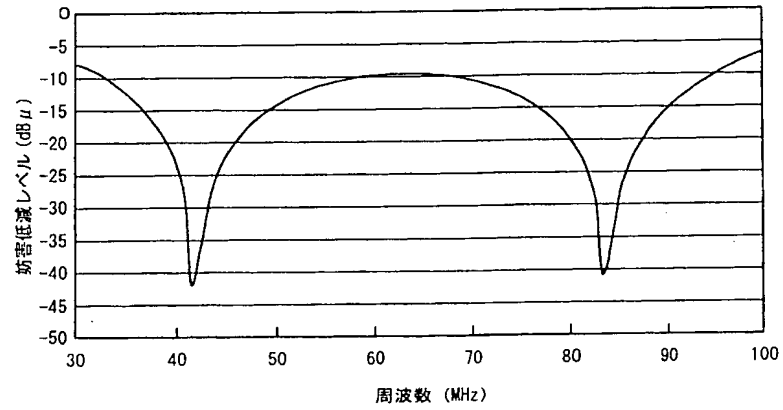
【図21】



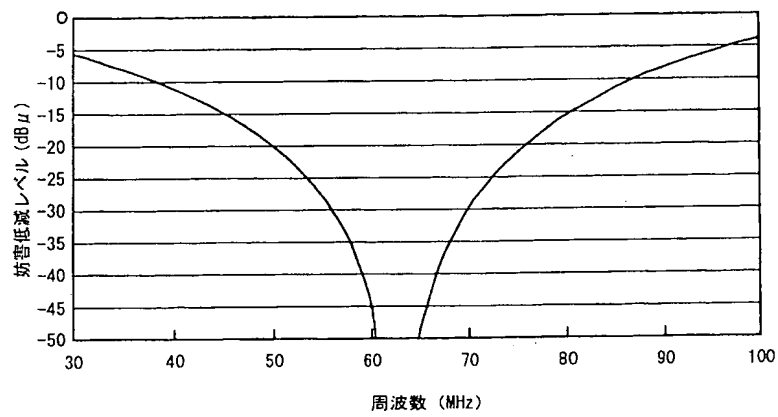
【図22】



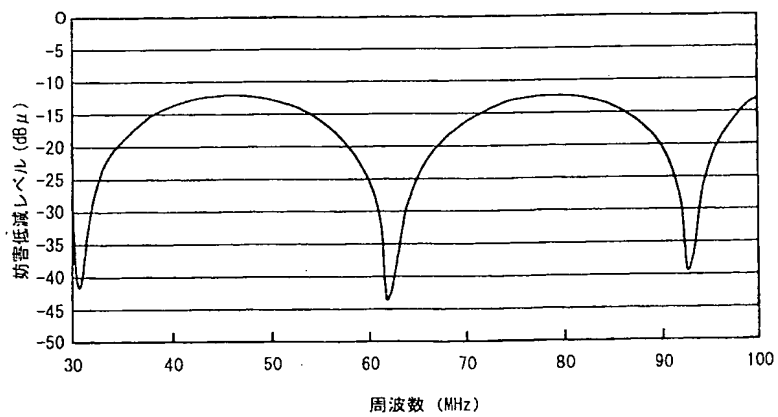
【図23】

3分割（本数比1:1:1） $\Delta t=8\text{ns}$ 

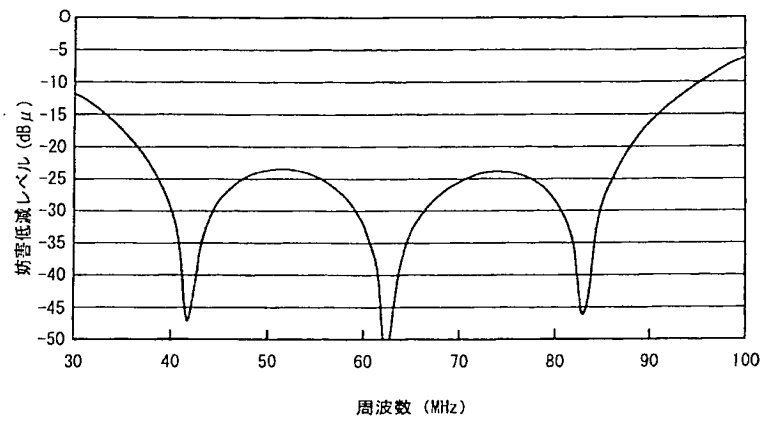
【図24】

3分割（本数比1:2:1） $\Delta t=8\text{ns}$ 

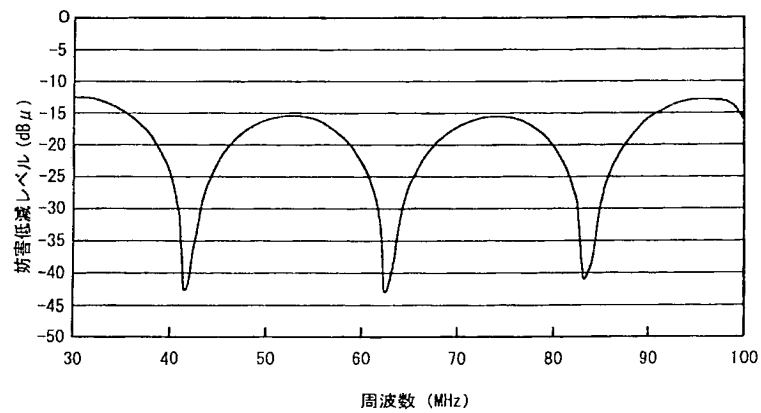
【図25】

4分割（本数比1:1:1:1） $\Delta t=8\text{ns}$ 

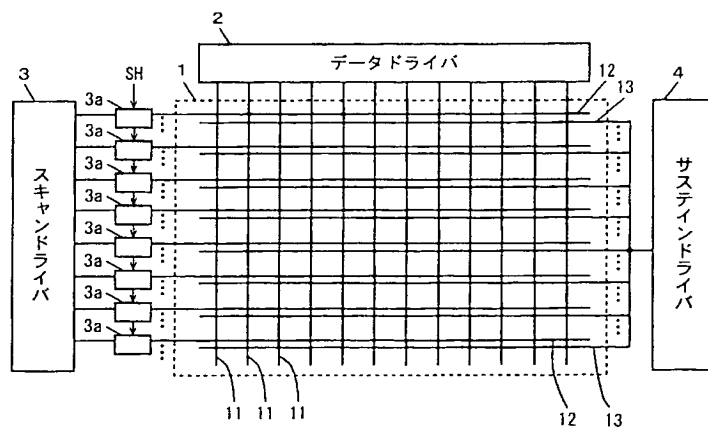
【図26】

4分割（本数比1:2:2:1） $\Delta t=8\text{ns}$ 

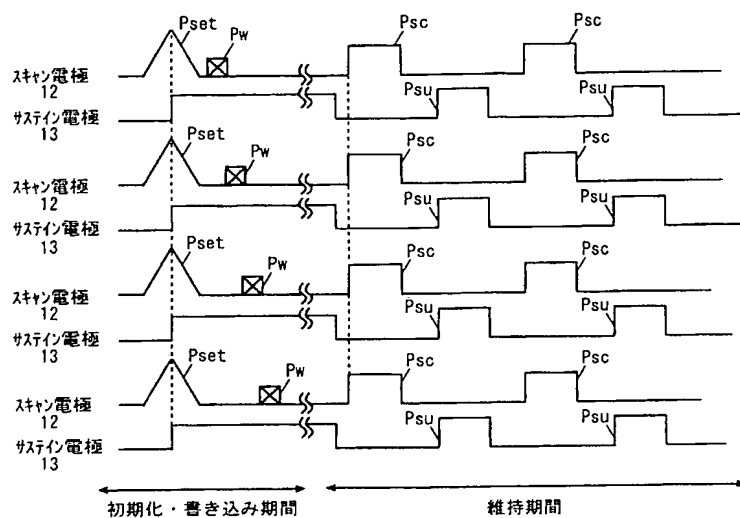
【図27】

6分割（本数比1:1:1:1:1:1） $\Delta t=8\text{ns}$ 

【図30】



【図31】



**THIS PAGE BLANK (USPTO)**